

## 미래기술육성센터 2023년 하반기 과제공모 기술분야

1. 반도체 AI(설계 및 Simulation 포함)
2. 신개념 반도체 소자
3. 미세 반도체 소자 구현을 위한 메모리 공정/소재
4. 미세 반도체 소자 구현을 위한 로직 공정/소재
5. 미세 반도체 소자 구현을 위한 계측/검사 기술
6. 차세대 컴퓨팅 소자
7. Custom SoC
8. 차세대 스마트 홈 플랫폼
9. 차세대 디스플레이
10. 차세대 디스플레이 요소기술
11. 차세대 통신
12. 차세대 센서
13. Cognitive Map
14. 차세대 실감 인터랙션
15. Artificial Intelligence
16. 클라우드
17. 바이오 의약품 개발 및 생산 공정 고도화 기술
18. 차세대 유전자 치료제 기술
19. 차세대 배터리
20. 탄소 중립 기술
21. 모바일 기능성 신소재
22. 차세대 가전 혁신 소재
23. 기타

\* 22개 기술 외 국가 기술 발전에 기여할 수 있는 연구 제안은  
기타(23) 선택 요망

1. 반도체 AI (설계 및 Simulation 포함)

1) ML 및 AI를 활용한 Simulation Platform (V-NAND향 회로)

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 설계 난이도 증가에 따른 TAT 혁신 및 완성도 확보 필요</li> <li>- Machine Learning과 Artificial Intelligence를 이용한 반도체 회로 설계 및 최적화</li> <li>- VNAND가 고층화 되면서, WL Loading을 구동하기 위한 Pump 회로의 전력 소모와 면적이 커지고 있음</li> <li>- 이를 극복하기 위한 최고 효율의 VNAND 향 최적 고전압 생성 Pump 회로</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① Analog Layout 자동화               <ul style="list-style-type: none"> <li>- 모든 동작 조건에서 Mismatch를 최소화할 배치 최적화 알고리즘</li> <li>- Clock Power 및 Decoupling Cap 배치, Clock Driver 배치, Clock Routing Pitch연결</li> </ul> </li> <li>② DRAM Core IP(BLSA/SWD) Library 개발               <ul style="list-style-type: none"> <li>- Area 최적화를 위한 단위 IP 구성 방법 및 구성별 Place &amp; Route 방법을 찾고 Library화 하여 PPA(Power, Performance &amp; Area) 최적화 설계를 위한 Template 개발</li> </ul> </li> <li>③ Analog Input/ Output 회로 설계 최적화               <ul style="list-style-type: none"> <li>- Memory Tx/Rx I/O Path의 성능을 결정하는 Analog 회로 (CML Divider, Phase Splitter, Sense Amp 등) 설계에 있어 사양에 맞는 구조 결정, 소자 Sizing(PPA)에 AI/ML 기반의 진보된 방법론을 적용하여 최적 I/O 성능 구현</li> </ul> </li> </ul>

구분	주요 내용
세부사례	<p>④ 차세대 VNAND 향 초고효율 Pump</p> <ul style="list-style-type: none"> <li>- 외부전압 2.5V로부터 30V, 12V, 4V 등의 다양한 고전압 생성 Pump 회로에 대해 이론적 한계에 근접하거나 이를 뛰어넘은 초고효율의 Pump 회로 설계기법</li> </ul> <p>⑤ 초저전력 Pump</p> <ul style="list-style-type: none"> <li>- 최소한의 Power를 소모하며 미래 VNAND의 High Cap. Loading을 구동</li> <li>- 초고효율 Pump 혹은 저전력 Pump 회로 설계</li> </ul> <p>⑥ 최소 면적의 Pump</p> <ul style="list-style-type: none"> <li>- 고효율, 저전력을 달성하면서 회로 면적을 최소화할 수 있는 미래 VNAND 향 Pump 회로 설계</li> </ul> <p>⑦ 상기의 ④, ⑤, ⑥을 모두 만족하면서 차세대 초고층 VNAND 구동에 최적화된 고전압 Pump 회로 설계</p> <p>⑧ 반도체 성능 최적화를 위한 SW 기술</p> <ul style="list-style-type: none"> <li>- AI·자율주행·XR용 고성능/저전력 SW/Tool 등</li> </ul>

## 2) Fab 자동화를 위한 AI기반 Robotics

구분	주요 내용
활용 분야	<ul style="list-style-type: none"> <li>- 환경 안전 Risk 제거를 위해 Robotics 자동화 기반의 Fab 설비 유지/보수/관리 작업 자동화에 활용</li> <li>- 기존의 단순 물류 자동화 단계를 넘는 자율 무인 Fab 구축 활용</li> </ul>
세부	<ul style="list-style-type: none"> <li>① 사람처럼 환경/사물을 빠르게 인지하고 상황을 (Fast &amp; Reliable Sensing/Perception)               <ul style="list-style-type: none"> <li>- 실시간으로 빠르게 물체 및 환경을 인식</li> </ul> </li> <li>② 사람처럼 대상 물체 및 환경을 기민하게 조작 (Dexterous Manipulation)               <ul style="list-style-type: none"> <li>- 로봇 팔과 손으로 Manipulation 행동 유형 학습 및 非학습 물체 조작을 위한 행동 생성</li> </ul> </li> <li>③ 사람처럼 좁은 공간內에 이동 가능한 高精度 자율주행               <ul style="list-style-type: none"> <li>- 카메라, IMU, LiDAR 등을 바탕으로 Fab에서 로봇의 위치 추정 및 주행을 정밀하게 하는 SLAM</li> </ul> </li> <li>④ Continuum Robot Platform               <ul style="list-style-type: none"> <li>- 설비 內 협소 공간 움직임을 위한 고강성/소형/구동 메커니즘 및 장애물 회피를 위한, Path Planning 및 Configuration 교시</li> </ul> </li> </ul>

### 3) 반도체 미세화에 따른 원자 수준 Simulation 고도화

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 반도체 미세화에 따른 대규모 원자 수준 Simulation 필요성이 증가하고 있고 이를 통해 다양한 반도체 소재에 대한 기계적·열역학적·전기적 물성 및 반응 해석에 활용</li> <li>- 새로운 원자 수준 Simulation 으 차세대 반도체 실제 공정 및 구조를 반영할 수 있는 소재 발굴에 활용</li> </ul>
세부사례	<p>① 대규모 병렬화 및 Simulation 가속화</p> <ul style="list-style-type: none"> <li>- 원자 수준 Molecular Dynamics 시뮬레이션으로 Full Device 및 실제 공정 묘사가 가능한 방법론 가속화 및 다양한 Rare-event Sampling / Accelerated Dynamics 의 접목</li> <li>- 신규 아키텍처(GPU/CPU hybrid 등)에 최적화된 병렬 분산 계산 알고리즘 개발 및 Accelerated Dynamics / Rare Event Sampling 등의 가속화 알고리즘 접목을 통한 기존 MD시뮬레이션의 한계 극복</li> </ul> <p>② 다양한 소재間 상호 작용에 관한 방법론</p> <ul style="list-style-type: none"> <li>- 다양한 공정(ALD, CVD, PVD 등)과 소재의 거동을 표현할 수 있는 모델 Coverage 확장 (산화물/질화물 등의 전통적인 반도체 소재 外 금속, 합금 재료 등의 물성 해석에 필요한 상호 작용) AI 등의 다양한 접근 방법을 활용한 신규 물질 상호 작용에 대한 신속한 확장 방법론 개발</li> </ul>

구분	주요 내용
	<p>③ AI기반 Meshless 3D Simulation</p> <ul style="list-style-type: none"> <li>- Mesh 기반으로 수행되는 다양한 물리 Simulation의 TAT-Coverage-정합성 Tradeoff를 AI로 극복</li> <li>- 정형/비정형 Mesh의 Graph Network 변환 및 Simulation 상황에 따라 적응적으로 Network의 Resolution을 조절하는 알고리즘 필요</li> </ul> <p>④ AI기반 물리 방정식 고속 Solver</p> <ul style="list-style-type: none"> <li>- Simulator내부의 물리 방정식 (PDE: Partial Differential Equation)의 해를 수치해석기법이 아닌 미분 가능한 Deep Learning (DL) 을 사용하여 직접 구하는 방법 제시</li> </ul>

#### 4) AI 기반의 검증 자동화

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- SOC의 규모 및 function의 복잡도는 갈수록 증가하고 있으며 이에 따른 simulation 시간 증가 및 검증에 필요한 시나리오 개수도 증가 하는 추세</li> <li>- 하지만 SOC 설계 검증에 주어지는 시간은 동일/감소 하여, 이를 극복하기 위한 새로운 검증 방법론이 절실</li> <li>- AP/Automotive/wearable 등의 SOC 설계 검증 분야</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① ML(Machine Learning) 기반의 검증 디버깅 자동화               <ul style="list-style-type: none"> <li>- Debug assistant: ML 기반으로 검증자에게 debug point 를 가이드하는 역할을 수행하는 기술</li> <li>- Debug history finder: 이전 Debug history 를 학습하여, 현재 발생한 버그와 관련된 이력을 검증자에게 제공하여 불필요한 디버깅을 줄여주는 기술</li> </ul> </li> <li>② ML 기반의 검증 수행 자동화               <ul style="list-style-type: none"> <li>- 변경점을 분석하여 자동으로 관련 regression 우선 수행</li> <li>- ML 기반 simulation 수행시간을 예측하여 regression 시 수행 종료 조건 생성 및 검증자가 불필요하게 기다리는 시간 단축</li> </ul> </li> <li>③ ML 기반 coverage closure               <ul style="list-style-type: none"> <li>- Scenario 에 대한 clustering 와 ML 을 통한 시나리오 수 최소화. 최소 시나리오 수행으로 coverage 목표 달성에 대한 TAT 단축 목표. Bug 조기 발견 등으로 설계검증 TAT 단축</li> </ul> </li> <li>④ 위의 ML 기반 방법론들을 지원하는 통합 AI 검증 system</li> </ul>

5) 차세대 SoC향 설계 플랫폼

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- HPC, AI 및 기타 고사양 제품에 적용되는 차세대 SoC는 Big Die와 Heterogeneous Multi Die를 사용한 고성능/고효율 Design이 필요</li> <li>- 메모리 BW(Bandwidth) 증가에 따라 HBM 탑재 수량이 증가하는 추세로 2.5D/3D 설계 기반 기술에 대한 니즈 증대</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① 2.5D/3D 설계               <ul style="list-style-type: none"> <li>- Die-to-Die Interconnection을 위한 High-bandwidth Interface 설계</li> <li>- 3DIC 전용 Testability (Die간 연동성 기반 DFT)</li> </ul> </li> <li>② Big Die 설계               <ul style="list-style-type: none"> <li>- High Power SoC(&gt;1000W)향 설계 방법론</li> <li>- 차세대 서버 SoC향 Virtualization Solution에 대한 Feature 발굴 및 관련 Solution</li> </ul> </li> <li>③ Machine Learning 기반 Advanced Design 방법론               <ul style="list-style-type: none"> <li>- ML기반 PPA Optimization</li> <li>- 설계 TAT 단축</li> </ul> </li> </ul>



6) 유기 금속 화합물의 소재 성능 예측 기술

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 반도체 CVD / ALD 공정에 사용되는 유기 금속 화합물들은 공정 조건의 고도화로 상황에 따라 특정 물성이 요구되고 있음. 이에 따라 소재 개발 가속화를 위해서는 요구되는 물성을 simulation으로 사전에 예측하는 기술이 중요함.</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① AI 기반 유기 금속 화합물의 반응성               <ul style="list-style-type: none"> <li>- 신규 멀티덴테이트 리간드와 중심 금속의 반응시 착체 형성 메커니즘/착체구조/안정성 예측</li> <li>- 합성된 소재의 열안정성 예측</li> </ul> </li> <li>② ML 기반 유기 금속 화합물의 증기압 예측 기술               <ul style="list-style-type: none"> <li>- 유기 금속 화합물의 점도 예측 기술</li> <li>- 유기 금속 화합물의 증기압 예측 기술</li> </ul> </li> <li>③ CVD / ALD 공정시 표면 반응성 예측 mechanism 분석               <ul style="list-style-type: none"> <li>- 증착공정에서 유기 금속 화합물의 표면 반응성 및 박막 형성 메커니즘 규명</li> <li>- 기판, 공정온도, 공정압력, (+촉매조건)에서의 surface diffusion / layer 증착 두께 kinetics 예측기술</li> </ul> </li> <li>④ ML 기반 유기 금속 화합물의 Reorganization Energy예측               <ul style="list-style-type: none"> <li>- 유기 금속 화합물의 바닥/들뜬 상태 구조 차이에 의한 변화에너지 예측 기술</li> <li>- 유기 금속 화합물의 electron transfer에 의한 구조 차이에 의한 변화에너지 예측 기술</li> </ul> </li> </ul>

⑤ ALD/Cleaning 공정의 유기 inhibitor 작동 원리 규명  
- ALD/Cleaning 공정에서 사용되는 유기 inhibitor 의  
표면 분포 구조 및 inhibition 원리 규명

⑥ Wet etching 공정에서 유기 화합물의 표면 반응성 및  
반응 메커니즘 규명

- Wet etching 공정에서 금속 화합물의 표면 반응성 및  
식각 메커니즘 규명

7) AI 기반 Image signal processing (알고리즘 및 H/W)

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- AI 영상 처리 알고리즘, HW (ISP), 카메라/센서 설계</li> <li>- 카메라 시스템은 광학-센서-ISP-알고리즘의 고복잡 순차 시스템이나, System-Level Optimization 부재로, 차세대 카메라 구조, 센서 구조 설계 방법론 한계</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① AI 영상 처리 알고리즘 적용을 위한 최적 HW 구조 설계               <ul style="list-style-type: none"> <li>- AI 알고리즘 - Computing - 메모리 구조 (멀티 카메라 연계, 최적 Precision, 저전력/High-throughput Video 처리 등)</li> </ul> </li> <li>② AI 설계 방법론 기반 최적 카메라/센서               <ul style="list-style-type: none"> <li>- Deep Optics 등, End-to-end System Optimization 기반 신규 카메라 모듈, 센서 설계 (광학/센서-ISP-알고리즘 Co-Optimization 등)</li> </ul> </li> <li>③ 화질 Metric               <ul style="list-style-type: none"> <li>- Noise/Structure/Artifact/Perceptual IQ Metric을 포괄, Ultra Low-Light에서 Super Resolution 등에 대응 가능한 화질 Metric 모델링</li> </ul> </li> </ul>

8) 차세대 Memory System Solution

구분	주요 내용
활용 분야	<ul style="list-style-type: none"> <li>- Large Language Model과 같은 Transformer 계열 AI 응용 확산과 Scientific Simulation 및 Graph Analysis 같은 HPC 응용이 고도화되면서 Memory Coupled Computing 구조 필요</li> <li>- 최근 MS, Meta 등 Hyperscaler 중심으로 CXL 기술 기반 Scale-out 가능한 Memory 구조에 대한 연구가 활발히 진행되고 있어 CXL 기술을 활용한 Memory Solution 주목 필요</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① 연산 가능한 Memory               <ul style="list-style-type: none"> <li>- CXL Memory 기반 시스템 기능 가속 기법 및 구조 (zSwap, Gabage Collector 등)</li> <li>- Memory 중심 AI 응용 가속을 위한 CXL 기반 PNM(Processing Near Memory) 구조 (Transformer, GNN 등)</li> <li>- Memory 중심 AI 응용 가속을 위한 PIM (Processing In Memory) 구조 (번역, 음성인식, ChatGPT 등)</li> </ul> </li> <li>② Composable Memory System               <ul style="list-style-type: none"> <li>- CXL Switch 기반 Node 재구성 기법 (Hot-Plug/Remove)</li> <li>- 차세대 CXL Switch향 차별화 Feature 발굴</li> </ul> </li> <li>③ Memory Pooling/Sharing Solution               <ul style="list-style-type: none"> <li>- Kubernetes 기반 Container 환경에서 메모리 자원 관리</li> <li>- Partitioned Global Address Space (PGAS) 기반 메모리 공유 기법</li> </ul> </li> </ul>

9) HW Implementable AI Image/Video Processing

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- Capture 시나리오는 general NPU 를 활용한 지연 처리를 활용하나 video recording 시나리오에서는 처리의 실시간성 확보를 위해 적용 범위가 미미함</li> <li>- Video recording 시나리오에 적용 가능한 전용 HW 로서의 tiny network로 구현하는 기술 확보가 필요</li> <li>- Mobile, XR 등 Camera 기능 포함 Consumer 반도체 제품 개발에 적용 가능 기술</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① AI Scaler               <ul style="list-style-type: none"> <li>- DL 기반 scaler 는 성능이 월등하나, HW 구현 불가능 수준의 연산량 필요</li> <li>- 기존 interpolation 방식보다는 고화질을 보장하는 AI 기반의 scaler 기술 개발</li> </ul> </li> <li>② AI Codec 의 Tool 대체               <ul style="list-style-type: none"> <li>- 영상의 영역별로 다른 압축률을 적용하기 위한 discriminator 를 AI 로 구현하여 인지적 화질을 유지하면서 압축률을 높일 수 있는 기술 개발</li> </ul> </li> <li>③ End-to-End ISP/Codec 구현을 위한 AI 기술 개발               <ul style="list-style-type: none"> <li>- Classical approach 로 구현된 ISP/Codec 과 유사한 전력소모, 면적으로 고화질/고압축률을 달성할 수 있는 AI HW 구현을 통해 진일보한 고객 경험을 제공할 수 있는 기술 개발</li> </ul> </li> </ul>

10) Storage 向 Embedded CPU 기술

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- Storage제품의 CPU의 경우, Load/Store operation이 다수를 이루고 있으나 이 동작들의 TAT가 길어 CPU의 동작 효율 (CPI)이 떨어짐. 성능 향상을 위한 구조 연구 필요</li> <li>- Storage向 Embedded CPU(RISC-V)에 적합한 custom ISA 정의 및 이를 위한 HW 구조 연구 필요</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① Storage 동작 최적화 custom ISA 정의 및 toolchain 개발               <ul style="list-style-type: none"> <li>- Storage향 Embedded CPU 동작 분석</li> <li>- Custom ISA 지원 가능한 Toolchain개발</li> </ul> </li> <li>② Custom ISA을 고려한 CPU 구조 설계               <ul style="list-style-type: none"> <li>- Custom Vector Extension 지원을 위한 Core 구조 및 pipeline 구조 설계</li> <li>- Storage workload에 맞는 branch prediction 구조 설계</li> <li>- 설계된 CPU에 최적화된 backbone 설계</li> </ul> </li> <li>③ Model 기반 설계 및 평가 환경 개발               <ul style="list-style-type: none"> <li>- modeling기반 설계 및 검증 방법론 연구</li> <li>- model기반 최적화된 HW 생성 compiler 개발</li> </ul> </li> </ul>

## 2. 신개념 반도체 소자

### 1) Scaling Down을 위한 신규 소재 및 차세대 비휘발성 메모리

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- Logic 및 Memory</li> <li>· Scaling down의 한계 극복을 위한 신규 소재 연구</li> <li>· Power 및 speed 향상을 위한 Nonvolatile memory</li> </ul>
세부사례	<p>① Scaling down의 한계 극복을 위한 신규 소재</p> <ul style="list-style-type: none"> <li>- 단채널효과(Short channel effect)의 극복을 위한 2D material 기반 소자의 component               <ul style="list-style-type: none"> <li>· 저온 성장을 위한 precursor 및 성장 방법</li> <li>· 공정성과 낮은 contact 저항을 갖는 metal contact</li> <li>· 낮은 trap density를 갖는 Gate oxide interface</li> </ul> </li> <li>- High stability 및 p-type oxide semiconductor               <ul style="list-style-type: none"> <li>· 고온 bias 신뢰성 향상을 위한 물질 연구 및 신뢰성 열화 기구 분석</li> <li>· p-type 신규 소재 및 증착 방법</li> </ul> </li> <li>- Power 및 delay 감소를 위한 신규 저저항 metal</li> <li>- 10나노 이하 DRAM 미세화 한계에 따른 집적도 향상               <ul style="list-style-type: none"> <li>· 3D Cell Line 구조화 (TR+Cap. 적층)</li> <li>· 저온에서 이동도가 높은 채널 新소재</li> </ul> </li> <li>- Beyond Moore's Law를 위한 非실리콘 소재               <ul style="list-style-type: none"> <li>· III-V, SiGe, CNT 등</li> </ul> </li> </ul>

구분	주요 내용
세부사례	<p>② Emerging Nonvolatile Memory</p> <ul style="list-style-type: none"> <li>- Vertical memory 개발을 위한 Atomic Layer Deposition (ALD) 기반 Phase Change Memory <ul style="list-style-type: none"> <li>· ALD向 신물질 및 stack, ALD 공정/precursor 제안</li> </ul> </li> <li>- High Endurance를 갖는 FeFET <ul style="list-style-type: none"> <li>· Endurance 향상을 위한 신규 계면 박막 제안 및 제어/증착</li> </ul> </li> <li>- 저전력 고속동작 특성을 가지는 MRAM <ul style="list-style-type: none"> <li>· Magnetic domain wall motion 또는 Spin orbit torque MRAM용 신물질 및 구조 제안</li> </ul> </li> </ul> <p>③ 차세대 저저항 물질</p> <ul style="list-style-type: none"> <li>- 배선의 선폭이 10nm 이하로 감소 됨에 따라 scattering에 의한 급격한 배선 저항 증가 문제 해결 <ul style="list-style-type: none"> <li>· Grain boundary scattering 감소 방법</li> <li>· Interface scattering 감소 방법</li> </ul> </li> </ul> <p>④ 실리콘 포토닉스 소자</p> <ul style="list-style-type: none"> <li>- 레이저를 활용한 저전력 초고속 통신</li> <li>- 활용분야 : 서버-데이터센터간 광통신, 원거리 통신 해결 <ul style="list-style-type: none"> <li>· 실리콘 광소자 및 집적화</li> <li>· Interface scattering 감소</li> </ul> </li> </ul>



2) CTF 대체 소자

구분	주요 내용
활용 분야	<ul style="list-style-type: none"> <li>- CTF 기반 3D VNAND Cell을 대체할 수 있는 신규 비휘발성(NVM) 메모리 소자               <ul style="list-style-type: none"> <li>· CTF Cell 기반 3D VNAND 의 지속적인 적층 단수 증가에 따른 공정 난이도, Cost 증가 등 한계 예상</li> </ul> </li> <li>- (Logic 공정 호환 가능 경우) NVM-in-Logic 응용</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① 신 물질, 신 구조, 신 개념의 비휘발성 메모리 소자</li> <li>② 3D VNAND 구조에 기반한 신규 비휘발성 메모리 소자</li> <li>③ Si 기반 공정과 호환 가능 (선택 사항)</li> </ul> <p>(참고) 제안 Spec</p> <ul style="list-style-type: none"> <li>· Bit density: &gt;*100Gb/mm<sup>2</sup> <ul style="list-style-type: none"> <li>- 세대 연장성 (30% 이상/Gen.) 가능성 제시 필요</li> </ul> </li> <li>· Endurance: SLC 기준 100K</li> <li>· Retention: 100°C, 10Hrs</li> </ul>

### 3) 차세대 DRAM 소자

구분	주요 내용
활용 분야	<p>- 1T1C 기반 DRAM Cell 을 대체할 수 있는 신규 High speed 메모리 소자</p> <ul style="list-style-type: none"> <li>· 1T1C 기반 DRAM Cell 의 Scaling 한계 등에 따른 공정 난이도, Cost 증가 등 한계 예상되어, High speed, 3D 구성 가능성이 있는 신규 소자 필요.</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① Ferroelectric Cap을 활용한 1T1F 3D 적층형 소자</li> <li>② Ferroelectric Cap을 활용한 1TnF 3D 적층형 소자</li> <li>③ Capless 인 2T0C 3D 적층형 소자</li> </ul> <p>(참고) 제안 Spec</p> <ul style="list-style-type: none"> <li>· Bit density: &gt;1Gb/mm<sup>2</sup></li> <li>· Endurance: 1E15</li> <li>· Speed: Cell 동작 기준 5nsec ↓</li> </ul>

4) 강유전체 활용 반도체 (DRAM향 Ferroelectric 소자)

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 차세대 DRAM 제품, Neuromorphic Synapse 소자, IoT 저전력 반도체 소자               <ul style="list-style-type: none"> <li>· DRAM의 소비 전력, Scaling 한계 등에 따라 NVM 이면서 High speed, 3D 구성 가능성</li> </ul> </li> <li>- 차세대 메모리(DOb) 제품               <ul style="list-style-type: none"> <li>· BCAT(Buried Cell Array Transistor)/Cap 한계 도래로 Vertical stack 과 Stack height 감소 가능한 Cap-less DRAM향 Ferroelectric 물질 필요</li> </ul> </li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① High Performance 구현 가능한 강유전체 물질 개발               <ul style="list-style-type: none"> <li>- &lt;10ns 수준의 Speed 특성 확보</li> <li>- &gt;1E12 수준의 Endurance 특성 확보</li> </ul> </li> <li>② 강유전체 산포 및 양산성 확보               <ul style="list-style-type: none"> <li>- 0-phase portion &gt;95% 확보</li> <li>- Grain size 및 uniformity 제어</li> </ul> </li> <li>③ 강유전체 게이트 소자 모델링               <ul style="list-style-type: none"> <li>- 물질/소자/회로 모델링</li> <li>- 파워-성능 특성 Metric</li> </ul> </li> </ul>

구분	주요 내용
	<p>④ Ferroelectric 박막 구조 분석</p> <ul style="list-style-type: none"> <li>- Ferroelectric 박막의 물리적 구조와 특성 발현의 mechanism 규명을 위한 측정</li> <li>- 박막에 전압을 가하며 구조 변화와 ferroelectric 특성을 동시에 측정</li> </ul> <p>⑤ Ferroelectric 소자의 산포를 개선</p> <ul style="list-style-type: none"> <li>- Ferroelectric 박막의 grain size 조절</li> <li>- Ferroelectric 박막의 배향성 조절</li> </ul> <p>⑥ Ferroelectric 소자의 고주파 측정</p> <ul style="list-style-type: none"> <li>- 1GHz 이상에서 소자 동작 monitoring</li> </ul>

5) 고성능 로직 Transistor \_ Alternative Channel MOSFET

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 고성능 Logic Transistor (고성능, 저전력), Logic 소자 Area Scaling               <ul style="list-style-type: none"> <li>· 1nm 이후 대비를 위한 2D MOSFET 개발 및 특성 향상                   <ul style="list-style-type: none"> <li>예) 2D Channel 물질: Graphene, TMDC 등</li> </ul> </li> </ul> </li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① 2D MOSFET 특성 향상을 위한 저저항 Contact 형성               <ul style="list-style-type: none"> <li>- 2D MOSFET 향 Contact Metal 발굴</li> <li>- 2D 물질 - Metal Interface 최적화를 통한 저항 감소</li> </ul> </li> <li>② 2D MOSFET 향 Gate Stack 형성               <ul style="list-style-type: none"> <li>- 2D MOSFET 향 Gate Dielectric, Work Function Metal 물질 개발</li> </ul> </li> <li>③ Alternative channel 형성               <ul style="list-style-type: none"> <li>- Wafer-scale, High quality (crystallite), Low temp. 공정기반 Channel growth</li> <li>- Surface treatment (Dit 감소, Gox 형성)</li> <li>- Si 동등이상의 Band gap 물질 개발</li> <li>- High-k interface 제어 (EOT scaling)</li> </ul> </li> <li>④ 2D channel MOSFET               <ul style="list-style-type: none"> <li>- Gate length scalability 실험 검증</li> </ul> </li> <li>⑤ GAA 구조 MOSFET 구현               <ul style="list-style-type: none"> <li>- Multi-channel Stacking 구조</li> <li>- GAA 구조 형성을 위한 Integration</li> </ul> </li> </ul>

6) 고성능 로직 Transistor \_ 차세대 2D Transistor 관련

구분	주요 내용
활용 분야	<ul style="list-style-type: none"> <li>- 차세대 Logic 제품 Channel 물질</li> <li>· 지속되는 Scaling에 따른 Si 기반 MOSFET Logic Tr의 Mobility 한계로 Channel의 mobility 향상 필요</li> <li>· BandGap을 갖는 TMDC(Transition Metal-Dichalcogenide)는 반도체 특성이 있으면서, 원자 level 두께에서도 높은 Mobility를 가져 차세대 Logic 채널로 유망</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① 2D Channel materials high quality 성장               <ul style="list-style-type: none"> <li>- 대면적/직성장 2D channel 형성 공정</li> <li>- 2D mobility &gt;200cm<sup>2</sup>/Vs, 공정온도 &lt;700C 형성</li> <li>- Defect 저감 공정</li> </ul> </li> <li>② 2D향 IL 성장               <ul style="list-style-type: none"> <li>- 2D 계면과 hetero접합 가능한 IL 공정</li> <li>- Grain Control 및 하부 2D damage free IL 공정</li> </ul> </li> <li>③ 2D Channel향 Doping/Contact               <ul style="list-style-type: none"> <li>- 전극과 2D vdW air gap 존재에 따른 접촉저항 감소 (Si ~100 Ω · μm, 2D materials ~1000 Ω · μm)</li> <li>- 전하 이동 도핑(charge transfer doping)</li> <li>- in-situ 도핑</li> </ul> </li> </ul>

### 3. 미세 반도체 소자 구현을 위한 메모리 공정/소재

#### 1) VNAND Channel

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 차세대 VNAND 제품               <ul style="list-style-type: none"> <li>· 동작 성능 확보를 위해 Channel의 mobility 향상이 필요</li> <li>· Grain size 증가를 위한 poly silicon 증착 및 결정화 개발 또는 high mobility와 high step coverage를 갖는 막질 개발 필요</li> <li>· Cell current 향상을 위한 단결정 및 Large Grain Silicon 형성 공정</li> </ul> </li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① Channel Silicon Grain Size 증가               <ul style="list-style-type: none"> <li>- 단결정 channel silicon 형성 공정</li> <li>- 막내 micro-crystalline 생성 억제 공정</li> <li>- 막내 Hydrogen 저감 증착 공정</li> </ul> </li> <li>② Channel Silicon Crystallinity 증가               <ul style="list-style-type: none"> <li>- 막내 Defect이 적은 poly silicon 막질</li> <li>- 막내 Defect Curing(ex. Void, Grain boundary)</li> </ul> </li> <li>③ 균일한 channel 형성 막질               <ul style="list-style-type: none"> <li>- High mobility 막질과 High Step coverage 형성 (Mobility &gt; 20cm<sup>2</sup>/Vs, Off current &lt; 1e-10A @Vds=5V, ≥95% @A/R ≥100:1)</li> </ul> </li> </ul>

## 2) VNAND Charge Trap Layer

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 차세대 VNAND 제품</li> <li>· 제품 신뢰성 (Retention) 개선을 위해 Deep Trap Level을 갖는 막질 필요</li> <li>· PGM/ERS window를 확보하기 위해 충분한 Trap Density를 가지면서 Electron 및 Hole Mobility는 낮은 막질</li> <li>· 반복적인 PGM/ERS bias에 내성이 강한 막질 필요</li> <li>· 제품에서 사용하기 위해 Thermal Atomic Layer Deposition이 가능한 막질</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① 기존 SiN 막질 활용               <ul style="list-style-type: none"> <li>- 불순물을 이용한 Band Gap 조정</li> <li>- 불순물을 이용한 Shallow Trap 감소, Deep Trap 증가</li> <li>- Shallow Trap Passivation</li> <li>- Electron 및 Hole Mobility 감소</li> <li>- 전하 유/무에 따른 화학 결합 및 구조 안정성 증가</li> </ul> </li> <li>② High-k Trap Layer               <ul style="list-style-type: none"> <li>- SiN 수준의 Trap Density를 갖는 High-k 물질</li> <li>- Doping을 통한 Shallow Trap 감소</li> </ul> </li> <li>③ Thermal ALD 공정 가능한 막질               <ul style="list-style-type: none"> <li>- SiN ALD (Si Source + NH<sub>3</sub>)와 같이 Thermal ALD가 가능한 막질</li> </ul> </li> </ul>



### 3) Selective Etching/Depo \_ Metal Oxide/Metal의 Selective ALD/ALE

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- DRAM Capacitor의 유전막/전극</li> <li>· capacitor 박막을 선택적으로 증착하고 제거하는 기법필요</li> <li>- Logic의 high-k /Metal Gate</li> </ul>
세부사례	<p>① Selective ALD (ASD)</p> <ul style="list-style-type: none"> <li>- 패턴된 구조에서 선택적으로 박막 증착</li> <li>예: MoM (Metal on Metal) 증착</li> <li>- Selectivity 극대화 (Selectivity <math>S &gt; 0.99</math>)</li> <li>예: inhibitor 적용</li> </ul> <p>② ALE</p> <ul style="list-style-type: none"> <li>- Metal oxide/SiO<sub>2</sub>을 선택적으로 건식 제거</li> <li>예: ZrO<sub>2</sub>만 제거하고 SiO<sub>2</sub>는 유지</li> <li>- Metal/SiO<sub>2</sub>를 선택적으로 건식 제거</li> <li>예: TiN만 제거하고 SiO<sub>2</sub>는 유지</li> </ul>

#### 4) Selective Etching/Depo \_ Selective Deposition

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- Scaling 한계 돌파와 3D 구조 형성을 위하여 Self-Aligned 공정이 필요한 모든 제품 : VNAND, 3D DRAM,</li> <li>· 반도체 Device가 직면한 집적화 challenges를 극복하기 위하여 필요한 Self-Aligned 2D와 3D 구조에서 원하는 표면에만 원하는 막을 노광 없이 선택적으로 증착</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① 선택적 metal silicide on Si, not on oxide               <ul style="list-style-type: none"> <li>- 3D DRAM. 측면에 photo없이 Si상부에만 contact 물질 증착 Oxide inhibitor</li> </ul> </li> <li>② Spatial 선택적 Metal(Ru, Co, Mo, bottom up metal contact fill)               <ul style="list-style-type: none"> <li>- SFO와 유사하게, 빠르게 Bottom Up Contact Metal Fill</li> </ul> </li> <li>③ 선택적 hardmask (HfO, ZrO) on EUV PR, not SiO<sub>2</sub> <ul style="list-style-type: none"> <li>- EUV Hardmask Boosting.</li> </ul> </li> </ul>

구분	주요 내용
	<p>④ Non-metal, metal doped ALD 증착</p> <ul style="list-style-type: none"> <li>- B, C, Hf, Al 등 source의 안정적 공급 방식 개발</li> <li>- in-situ doping을 이용한 conformal doping 구현</li> <li>- 막질 강건화를 위한 고온 ALD용 doping precursor 개발</li> <li>- 물성 S/C(Step Coverage)를 확보하기 위한 doping gas 상하단 S/C 개선</li> </ul> <p>⑤ 막 내 total trap density 증가 확보</p> <ul style="list-style-type: none"> <li>- Deep trap 증가(<math>1.5 \times 10^{20} \text{ea/cm}^3</math> 이상, <math>E_{\text{trap}} &gt; 1.2 \text{eV}</math>)</li> <li>- Shallow trap 감소 (<math>1.5 \times 10^{20} \text{ea/cm}^3</math> 이하)</li> <li>- Total trap density 증가 (<math>3 \times 10^{20} \text{ea/cm}^3</math> 이상)</li> </ul> <p>→ SiN막질을 기반으로 한 신규 물질의 conformal doping을 위한 new precursor ALD 과 High A/R 에서 vertical conformal doping 로 물성 S/C을 확보할 수 있는 공정</p>

5) Selective Etching/Depo \_ 미세 소자 구현을 위한 다양한 선택적 Metal 또는 Dielectric 증착

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 차세대 반도체 제품 공통(DRAM, FLASH, LOGIC)</li> <li>· 차세대 반도체 선택적 증착용 Inhibition과 증착</li> </ul>
세부	<p>① 화학적인 이중 표면 inhibition</p> <ul style="list-style-type: none"> <li>- 반도체 공정에서 접하게 되는 다양한 이중 표면 중 특정 표면만 inhibition</li> <li>SiO<sub>2</sub>/SiN, SiO<sub>2</sub>/Metal, SiO<sub>2</sub>/Si, SiN/Si, SiN/Metal</li> <li>→ 후속 증착 온도에 안정적이고, 두께 제어 가능한 Inhibition, 열적 안정 구간에 따른 inhibitor 분류 필요</li> </ul> <p>② 지형적인 이중 표면 inhibition</p> <ul style="list-style-type: none"> <li>- 반도체 공정에서 접하게 되는 다양한 구조에서 특정 구조만 inhibition</li> <li>→ Flat 표면/각지거나 꺾이는 곳, 측면/평면(top/bottom), 얇은 곳/깊은 곳</li> </ul> <p>③ 증착</p> <ul style="list-style-type: none"> <li>- Inhibitor를 유지하며 증착: SiO<sub>2</sub>, SiN, Si, Al<sub>2</sub>O<sub>3</sub>, Metal, SiOC, SiCN</li> </ul>

6) 반도체 공정/설비 개발 향 플라즈마 Simulation 고도화

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 반도체 미세화에 따른 공정 난이도가 증가로 해석 기반 플라즈마 분석을 통한 공정 개발 필요성 증가. 특히 신 물질, 신 구조 반도체 개발이 가능한 플라즈마 공정 및 설비 개발에 활용</li> <li>- 가속화된 플라즈마 Simulation을 활용한 실시간 플라즈마 이상 분석 및 설비 최적화 기술 개발</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① HARC 공정 및 설비 개발               <ul style="list-style-type: none"> <li>- 입자 기반 플라즈마 Simulation 기반 초저압(<math>\leq 10\text{mTorr}</math>) 플라즈마 공정 개발</li> <li>- Plasma Chemistry DB 확충을 통한 Real Gas Etch Process 해석 기반 CHH Etch 공정 및 New Gas 개발</li> </ul> </li> <li>② 초미세화 반도체 향 Plasma 설비 개발               <ul style="list-style-type: none"> <li>- New Source 개발 (Microwave, ECR, Helicon Plasma 등)</li> <li>- CCP, ICP 설비 플라즈마 제어 기술 개발 (Customized Waveform, Electromagnetic Plasma 등)</li> <li>- EUV 설비 개발 (Laser Plasma 등)</li> </ul> </li> <li>③ ML 기반 Plasma 공정/설비 최적화               <ul style="list-style-type: none"> <li>- In-situ 플라즈마 분석을 위한 TAT 혁신</li> <li>- 플라즈마 공정 성능 최대화를 위한 설비 사양 도출</li> </ul> </li> </ul>

7) EUV 노광에 의한 Polarity switching 작동 메커니즘 연구

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- EUV 광반응성 고흡수 PTD (positive tone development) PR (photoresist) 소재</li> <li>- 미세 패터닝 Dram &amp; Logic향 소자 SET (single exposure tech.) 공정 적용 C/H 패턴 구현</li> </ul>
세부사례	<p>① 목적) 고집적도 Dram device 포토 공정 C/H 패턴 구현</p> <ul style="list-style-type: none"> <li>- SET 공정을 통한 High resolution C/H 패턴 제작</li> <li>- 금속기반 PR 소재 보관 및 공정 안정성 확보</li> </ul> <p>② 주요이슈) 대부분의 inorganic PR의 경우 리간드 dissociation, hydrolysis, condensation 반응을 통한 가교 반응의 mechanism으로 진행됨 (NTD)</p> <ul style="list-style-type: none"> <li>- low EUV dose향 inorganic PTD 소재 부재</li> </ul> <p>③ PTD향 개발) SET 공정을 통해 C/H 미세패턴 형성 가능한 new platform 확보</p> <ul style="list-style-type: none"> <li>- 현, 기존 crosslinking이 아닌 non-crosslinking 메커니즘 부재</li> <li>- 금속과 결합되어있는 리간드가 EUV 노광에 의해 Polarity switching을 야기시키는 시뮬레이션 연구 needs</li> <li>- High absorption향 metal, EUV-sensitive ligand 조합, 광감응성, 공정 안정성 simulation 요구</li> </ul>

## 5) 융복합 Packaging

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- HPC向, Server向의 고성능(High Speed, Wide IO, Low Latency) 제품 활용 가능</li> <li>* 구조: Memory(HBM) + Logic(Chiplets) + Interposer(2.5D + 3D)</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① Hybrid Copper Bonding(HCB)               <ul style="list-style-type: none"> <li>- Bumpless, Gapless Bonding으로 Thermal 경쟁력 확보</li> <li>- 기존 보유 중인 CoW(Chip On Wafer) infra 활용으로 원가 경쟁력 확보</li> </ul> </li> <li>② 3D IC 적용 FoPKG (Fan out Package)               <ul style="list-style-type: none"> <li>- HCB 기반 Fine Pitch 구현으로 미세화 한계 돌파</li> <li>- 고성능으로 인한 발열 한계 극복 위한 미래소재</li> </ul> </li> <li>③ 3.5D 융복합 PKG               <ul style="list-style-type: none"> <li>- 고성능 2.5D + 3D 구현 위한 Interconnect</li> <li>- 대면적 Bonding 고신뢰성 공정, 소재</li> </ul> </li> </ul>

#### 4. 미세 반도체 소자 구현을 위한 로직 공정/소재

##### 1) Logic 向 3D Integration

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- Monolithic/sequential Logic on Logic 소자</li> <li>- Heterogeneous Device on Device 소자</li> <li>· Area scaling 및 개발 지속성을 갖는 3D integration</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① 3D monolithic integration               <ul style="list-style-type: none"> <li>- CFET(Complementary FET)</li> <li>- 수직 적층 형태의 source/drain과 metal gate 형성</li> <li>- 低저항 interconnection 물질</li> </ul> </li> <li>② 3D sequential integration               <ul style="list-style-type: none"> <li>- &lt;10nm aligned wafer bonding</li> <li>- 고성능 Transistor 특성 확보 가능한 저온 integration</li> </ul> </li> <li>③ Backside 활용 interconnection               <ul style="list-style-type: none"> <li>- Backside에서 patterning 및 metallization 적용</li> </ul> </li> <li>④ 3D integration 向 scheme 및 layout               <ul style="list-style-type: none"> <li>- PPA 최적화 가능 scheme 및 layout 구현</li> </ul> </li> </ul>



2) Selective Etching/Depo \_ Metal Oxide/Metal의 Selective ALD/ALE

구분	주요 내용
활용분야	- Logic의 high-k /Metal Gate
세부사례	<p>① Selective ALD (ASD)</p> <ul style="list-style-type: none"> <li>- 패턴된 구조에서 선택적으로 박막 증착 예: MoM (Metal on Metal) 증착</li> <li>- Selectivity 극대화 (Selectivity <math>S &gt; 0.99</math>) 예: inhibitor 적용</li> </ul> <p>② ALE</p> <ul style="list-style-type: none"> <li>- Metal oxide/SiO<sub>2</sub>을 선택적으로 건식 제거 예: ZrO<sub>2</sub>만 제거하고 SiO<sub>2</sub>는 유지</li> <li>- Metal/SiO<sub>2</sub>를 선택적으로 건식 제거 예: TiN만 제거하고 SiO<sub>2</sub>는 유지</li> </ul>

### 3) Selective Etching/Depo \_ Selective Deposition

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- Scaling 한계 돌파와 3D 구조 형성을 위하여 Self-Aligned 공정이 필요한 제품 (Advanced Logic)</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① 선택적 SiN on Si(Ge), not on SiOCN(SiN)               <ul style="list-style-type: none"> <li>- 3DS FET Isolation. SiOCN(SiN) inhibition, inhibitor damage 주지 않고 양질의 SiN 증착</li> </ul> </li> <li>② 선택적 hardmask (HfO, ZrO) on EUV PR, not SiO<sub>2</sub> <ul style="list-style-type: none"> <li>- EUV Hardmask Boosting.</li> </ul> </li> <li>③ Non-metal, metal doped ALD 증착               <ul style="list-style-type: none"> <li>- B, C, Hf, Al 등 source의 안정적 공급 방식 개발</li> <li>- in-situ doping을 이용한 conformal doping 구현</li> <li>- 막질 강건화를 위한 고온 ALD용 doping precursor 개발</li> <li>- 물성 S/C(Step Coverage)를 확보하기 위한 doping gas 상하단 S/C 개선</li> </ul> </li> <li>④ 막 내 total trap density 증가 확보               <ul style="list-style-type: none"> <li>- Deep trap 증가(<math>1.5 \times 10^{20} \text{ea/cm}^3</math> 이상, <math>E_{\text{trap}} &gt; 1.2 \text{eV}</math>)</li> <li>- Shallow trap 감소 (<math>1.5 \times 10^{20} \text{ea/cm}^3</math> 이하)</li> <li>- Total trap density 증가 (<math>3 \times 10^{20} \text{ea/cm}^3</math> 이상)                   <ul style="list-style-type: none"> <li>→ SiN막질을 기반으로 한 신규 물질의 conformal doping을 위한 new precursor ALD 과 High A/R에서 vertical conformal doping 로 물성 S/C (Step Coverage)을 확보할 수 있는 공정</li> </ul> </li> </ul> </li> </ul>

4) ALD 공정向 설비/부품

구분	주요 내용
활용 분야	<ul style="list-style-type: none"> <li>- High Aspect Ratio Device 제조시 Void-Free 및 우수한 Step-coverage를 제공할 수 있는 ALD 공정向 설비/부품 성능 향상</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① 차세대 Precursor向 Gas Delivery               <ul style="list-style-type: none"> <li>- Solid Precursor向 Canister</li> <li>- Solid Precursor 제어 및 모니터링</li> <li>- 고온/고속/대유량 Gas Delivery</li> </ul> </li> <li>② 반도체 설비向 차세대 가공               <ul style="list-style-type: none"> <li>- Metal 3D 소재 및 부품 제작</li> <li>- 후처리/표면처리/세정</li> <li>- 고효율 Heat Transfer/Flow 최적화</li> </ul> </li> <li>③ 반도체 설비向 내부식성 코팅               <ul style="list-style-type: none"> <li>- Metal 소재의 고온 내부식성 향상 (소재/코팅)</li> <li>- High Aspect Ratio Micro Hole 코팅</li> <li>- 세라믹 부품向 ALD 코팅</li> </ul> </li> </ul>

5) 미세 반도체 구현 공정 (고해상도 EUV 패터닝, Etch, 차세대 CMP, Spinner 등)

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- Gate All Around 와 같은 새로운 구조 및 미세 반도체 구조 구현을 위한 공정, 설비 및 소재에 활용</li> <li>· Pixel Shrinkage 및 High Aspect Ratio Gap-fill 위한 Insitu Boron Doped Poly silicon Depo &amp; Etch 공정</li> <li>· 차세대 제품 Etch 공정의 Systematic 및 Random Defect 대응력 강화</li> <li>· GAA 구조 채용한 Logic 제품에 적용</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① 고해상력 및 Low Dose 가능한 EUV Patterning               <ul style="list-style-type: none"> <li>- 고해상력 구현 필요: Etch 공정 마진 확보를 위해 두께 상향이 가능하거나 Etch 내성 상향이 가능한 신소재/신 Develop 공정</li> <li>- 생산성을 위한 Dose 하향: Dose 하향을 위해 EUV흡수도/이차전지 발생/ 이후 화학반응 효율이 높은 신규 기법</li> <li>- 30nm 이하 파티클 검출 (LPC 대체 혹은 개선)</li> </ul> </li> <li>② 차세대 Etch 공정 구현을 위한 내식각성 소재               <ul style="list-style-type: none"> <li>- Part 소모 및 부품 Induced defect 최소화를 위한 Plasma 내성이 강한 소재</li> </ul> </li> <li>③ N/P MOS Gate 종류 별 Metal 박막 Depo               <ul style="list-style-type: none"> <li>- Sub Layer 에 Immunity 있는 Film 제어</li> <li>- GAA 3D 구조(Channel 별, Depth 별) 동일한 Thickness, 농도 구현하는 Depo</li> <li>- 동일 Thickness에서 Film 물성(농도, Density)조정 Scan을 통해 잠재 불량을 검출</li> </ul> </li> </ul>

구분	주요 내용
	<p>④ Module Process 최적화 제어 (Module 공정 연계)</p> <ul style="list-style-type: none"> <li>- 동일 Metal 박막 Depo 진행 후 Area별 선택적 Implantation(이온주입)진행 통한 Modulation 유효 불량에 Targeting한 Defect검출 정합성 향상</li> <li>- Selective Etching 또는 Surface Treatment 통한 Film Property 보정</li> </ul> <p>⑤ 차세대 CMP Planarization을 위한 기능성 소재</p> <ul style="list-style-type: none"> <li>- High density에서도 erosion이 최소화 될 수 있는 bulk W CMP slurry</li> <li>- Metal Oxide막질 CMP용 slurry: Metal Oxide corrosion에 의한 recess를 제어할 수 있는 Slurry</li> </ul> <p>⑥ High Aspect Ratio Pattern에서 Gap-fill 능력 향상 및 이온 주입 산포 개선</p> <ul style="list-style-type: none"> <li>- High Aspect Ratio Pattern 구현 및 Leaning 방지</li> <li>- Depo/Etch Gap-fill 능력향상 및 Void 개선</li> <li>- Boron Doping Depo후 Insitu Etch</li> </ul> <p>⑦ 고청정 약액 (PR, Thinner, DIW 등) 공급 및 토출 장치</p> <ul style="list-style-type: none"> <li>- 저발진 소재 및 구조, 정체구간 최소화</li> <li>- 오염 방지 Coating 및 소재</li> <li>- 약액내 Particle 실시간 모니터링 및 정전기 계측</li> </ul> <p>⑧ 소재 절감 기술</p> <ul style="list-style-type: none"> <li>- Thin Layer Coating formation 및 PR 유량 저감 기술</li> <li>- 배관, 부품 세정기술 (PR Setup 기간 단축)</li> <li>- Dose 저감을 위한 온도 가변형 Develop</li> </ul>

## 6) 융복합 Packaging

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- HPC向, Server向의 고성능(High Speed, Wide IO, Low Latency) 제품 활용 가능</li> <li>* 구조: Memory(HBM) + Logic(Chiplets) + Interposer(2.5D + 3D)</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① Hybrid Copper Bonding(HCB)               <ul style="list-style-type: none"> <li>- Bumpless, Gapless Bonding으로 Thermal 경쟁력 확보</li> <li>- 기존 보유 중인 CoW(Chip On Wafer) infra 활용으로 원가 경쟁력 확보</li> </ul> </li> <li>② 3D IC 적용 FoPKG (Fan out Package)               <ul style="list-style-type: none"> <li>- HCB 기반 Fine Pitch 구현으로 미세화 한계 돌파</li> <li>- 고성능으로 인한 발열 한계 극복 위한 미래 소재</li> </ul> </li> <li>③ 3.5D 융복합 PKG               <ul style="list-style-type: none"> <li>- 고성능 2.5D + 3D 구현 위한 Interconnect</li> <li>- 대면적 Bonding 고신뢰성 공정, 소재</li> </ul> </li> </ul>

7) Laser Via hole 가공 기술/ Simulation Modeling

구분	주요 내용
배경/ 필요성	<ul style="list-style-type: none"> <li>- 차세대 PKG용 극소구경 Laser Via 가공</li> <li>- PKG 미세화에 따른 신호연결 Via hole 극소구경 필요성이 증가하고 있고, 가공실험을 통한 조건 최적화로 미래기술 준비에 시간적인 소요가 많이 되고 있음. PKG 소재에 대한 기계적/열역학적 반응 해석(Simulation Modeling)을 통한 차세대 Laser 가공 기술을 발굴/활용하고자 함</li> </ul>
활용분야	<ul style="list-style-type: none"> <li>- 차세대 PKG 제품 공통 (2.5D/2.3D/2.1D 패키지용 기판)</li> </ul>
필요기술/ 세부사례	<ul style="list-style-type: none"> <li>① 극소구경 Laser Via 가공               <ul style="list-style-type: none"> <li>- UV laser (355nm), Deep UV laser (266nm), Excimer 등</li> <li>· Laser 파장/펄스에 따른 가공 원리, 열해석</li> <li>· Laser 파장, Pulse Width (ns/ps/fs)에 따른 Via hole 가공 형상과 가공물의 HAZ(Heat Affect Zone) 영향성 파악</li> <li>· 실제 가공 결과와 시뮬레이션을 통한 매칭과 Laser Via hole 가공 모델링</li> </ul> </li> <li>② 차세대 Laser 가공 방식 제안               <ul style="list-style-type: none"> <li>- Laser Via hole 가공 모델링 구축 후 차세대 극소구경 Laser 가공방식 제안</li> <li>· UV, Deep UV, Excimer 등</li> </ul> </li> </ul>

## 5. 미세 반도체 소자 구현을 위한 계측/검사 기술

### 1) 미세 반도체 구조 검사

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- Gate All Around 와 같은 새로운 구조 및 미세 반도체 검사에 활용</li> <li>· 선단 노드 신공정 및 공정 변경점에 대한 잠재 불량 Risk 점검 및 불량 검사에 활용</li> <li>· 반도체 제조에 사용되는 소재(Chemical내)의 Metal 불순물 제거에 활용</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① 극미량 불순물 검출력 향상               <ul style="list-style-type: none"> <li>- 수 ppt 원소 검출 (ICP-MS 대체 혹은 개선)</li> <li>- 수 ppt 초고분자 또는 소수성 고분자 검출 (GPC 대체 혹은 개선)</li> <li>- 30nm 이하 파티클 검출 (Liquid Particle Counter, 대체 혹은 개선)</li> </ul> </li> <li>② PDS(Particle Deposition System)               <ul style="list-style-type: none"> <li>- 다양한 Size(20~300nm)의 불량 유발. Size 분석을 통한 Min Size 검출 한계 및 Effective Size를 정의하여 최적 검사 방법 구현</li> </ul> </li> <li>③ eBeam 검사               <ul style="list-style-type: none"> <li>- eBeam 전기적 Image와 GDS(Gas Delivery System)간 Image 차이로 Chip Full Scan을 통해 잠재 불량을 검출 Physical 검증(High Resolution, See Through)연계 고정합성 E-beam 시뮬레이션 기법 확보</li> </ul> </li> <li>④ Deep Learning 기반 Defect 검출               <ul style="list-style-type: none"> <li>- Big Data Defect Image 기반 Clustering 하여 유효 불량에 Targeting한 Defect 검출 정합성 향상</li> </ul> </li> </ul>



⑤ 차세대 X-ray 이미징 기술(CT, Ptychography)

- X-ray 초고해상도를 활용한 비반복 패턴 이미징 기술
- 고효율 X-ray source, 대면적/고속 X-ray detector, 고성능 X-ray imaging 장치 설계 등

2) 반도체 공정 진단 향 비침투식 Radical 센서 기술 개발

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 차세대 Memory, Foundry 식각 공정에서는 중성빔 또는 Gas Cluster 등 Radical Beam 소스 활용 예상</li> <li>→ 설비 개선 및 공정 최적화 위한 비침투식 Radical Beam 선속 산포 및 에너지 측정 기술이 필요</li> <li>- 차세대 Foundry 공정에서 Radical Dominant 반도체 제조 공정이 증가 예상</li> <li>→ 설비 개선 및 공정 최적화를 위한 비침투식 Radical 밀도 절대량/산포에 대한 측정 기술이 필요</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① 비침투식 Radical Beam 선속 밀도 산포 및 에너지 감지 센서개발               <ul style="list-style-type: none"> <li>- Laser等 광학 기반 기술</li> <li>- Radical Beam 선속 밀도 절대량 측정</li> <li>- Radical Beam 선속 산포 측정</li> <li>- Radical Beam 에너지 측정</li> </ul> </li> <li>② 비침투식 Radical 밀도 산포 진단 센서 개발               <ul style="list-style-type: none"> <li>- Laser等 광학 기반 기술 (단, Optical Emission Spectrometer 기반 기술 제외)</li> <li>- Radical種별 밀도 절대량 측정</li> <li>- Radical種별 산포 측정</li> </ul> </li> </ul>

### 3) 반도체 구조 계측 기술 개발

구분	주요 내용
활용분야	<p>[Soft X-ray 기반 구조 계측기]</p> <ul style="list-style-type: none"> <li>- DRAM 및 LOGIC 미세 구조 계측을 위한 구조 계측기</li> <li>- 분광 기반의 기존 OCD 기술 한계 해결               <ul style="list-style-type: none"> <li>→ 교호작용 개선 및 CD/pitch 직접 계측 가능</li> </ul> </li> </ul> <p>[X-ray CT with nanometer-scale resolution]</p> <ul style="list-style-type: none"> <li>- 차세대 LOGIC, VNAND, CIS 제품               <ul style="list-style-type: none"> <li>· Wafer bonding 공정 확산되며 bonding 과정에서 void 발생. 따라서 metal void 분석 및 계측 기술 필요</li> <li>· BEOL 공정에서 Metal의 이상 성장 현상인 eletromigration (EM) 발생. Metal 배선 불량률의 3D 구조 분석 기술 필요</li> <li>· Metal fill 포함 공정에서 Buried defect 계측 및 분석에 광학 기술 사용 불가. 따라서 X-ray 활용 3D 구조 계측 기술 필요</li> </ul> </li> </ul>

세부사례	<p>① DRAM 구조 계측 난제</p> <ul style="list-style-type: none"> <li>- BCAT trench etch (FIN height)</li> <li>- BCAT 깊이 계측</li> <li>- GBL POLY 하부 profile 계측</li> <li>- DCC to Active misalignment 계측</li> </ul> <p>② LOGIC 구조 계측 난제</p> <ul style="list-style-type: none"> <li>- RL/RG RCS depth: 강한 교호작용으로 인해 엑스선 계측과 같은 해결책 필요</li> <li>- CB bowing: X-ray 반사로 hole profile 계측 가능</li> <li>- MBC formation: SiGe wet etch 후 V-SPC</li> <li>- PC profile 및 Roughness</li> </ul> <p>③ Wafer bonding 공정에서 발생하는 Metal void</p> <ul style="list-style-type: none"> <li>- LOGIC BSPDN bonding 공정</li> <li>- FLASH BVNAND bonding 공정</li> <li>- Disruptive DRAM bonding 공정</li> <li>- CIS C2C bonding 공정</li> </ul> <p>④ Metal 공정 중 / 후 발생하는 불량 분석 및 검사</p> <ul style="list-style-type: none"> <li>- DRAM, FLASH, LOGIC BEOL Cu 배선 공정</li> <li>- DRAM BCAT Metal fill void</li> <li>- VNAND tungsten fill 공정 발생하는 void</li> <li>- LOGIC CB Metal fill void</li> </ul>
------	--

#### 4) 반도체 품질 검사 기술 개발

구분	주요 내용
활용분야	<p>[저항성/Leakage성 품질불량 모니터링 기술]</p> <ul style="list-style-type: none"> <li>- 메모리/로직 제품 In-Fab 전기적 불량 모니터링</li> <li>· 대표적 품질불량인 CNT 계면 저항성/Leakage 불량의 전기적 검출방식 필요</li> <li>· 검출된 불량률의 전기적 특성 측정하여 불량률 정량화 필요</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① 전자현미경 기반기술               <ul style="list-style-type: none"> <li>- Voltage Contrast eBeam 검사기술</li> <li>- Capacitive Contrast eBeam 검사기술</li> <li>- eBeam-전기 융합기술 (EBIC, EBIRCH)</li> <li>- 전기-광학 융합기술 (THEMOS, PHEMOS)</li> </ul> </li> <li>② 전기적 특성의 측정기술               <ul style="list-style-type: none"> <li>- 저항/Capacitance 직접 측정 기술 (C-CFM, NanoProbing)</li> </ul> </li> </ul>

## 6. 차세대 컴퓨팅 소자

### 1) 차세대 컴퓨팅 플랫폼

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- HPC, AI 응용 증가에 따라 연산 양이 급증하면서, 저전력 초고속 컴퓨팅 플랫폼이 필요</li> <li>- 신규 반도체 소재 발굴 시뮬레이션 등 연산은, 경우의 수가 무수히 많아 기존 컴퓨팅 기술로는 수십년 이상이 필요, 초고속 컴퓨팅 플랫폼이 기업의 경쟁력을 좌우</li> </ul>
세부사례	<p>① Photonic Computing</p> <ul style="list-style-type: none"> <li>- Photonic IC, 비선형 광소자 설계 및 제작</li> <li>- 다중 파장 활용, 광 신호 변복조, 나노광학 적용</li> <li>- 광원과 광회로 집적을 위한 Integrated Photonics 기술</li> <li>- Photonic Computing과 광통신을 직접 연결하여, 광-전기 변환으로 인한 Latency 및 전력 손실 최소화</li> </ul> <p>② Quantum Computing</p> <ul style="list-style-type: none"> <li>- Qubit 수, Quantum Volume 증가 및 안정화</li> <li>- Quantum Computing 용 소프트웨어</li> <li>- Quantum Computing-Classical Computing 연동 시스템</li> </ul>

## 2) Bio-Inspired Chip

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 자율주행 등 기계 학습의 발달과 데이터 양의 증가로 인해, 저전력 초고속 연산이 가능한 칩과 시스템 필요</li> <li>- 저전력으로 사람의 뇌처럼 연산하는 Neuromorphic Chip은, HPC, AI 및 기타 고사양 제품에 적용되는 차세대 SoC로 활용</li> <li>- 로봇 기술, 스마트홈 등 미래 기술에 활용하기 위해, 사람처럼 감각하는 소자 필요</li> <li>- 학습 가능한 뉴로모픽 칩 구현               <ul style="list-style-type: none"> <li>· 온 디바이스 학습 구현을 위한 특정 소자 특성 필요</li> <li>· 시냅스 뿐만 아니라 뉴론 향 소자도 함께 필요</li> </ul> </li> <li>- 로직 임베디드 SRAM 을 대체할 수 있는 신규 비휘발성(NVM) 메모리 소자               <ul style="list-style-type: none"> <li>· 메모리 병목 개선</li> <li>· 뉴로모픽 소자로 확장</li> </ul> </li> </ul>
세부사례	<p>① Neuromorphic Computing &amp; Neuroscience</p> <ul style="list-style-type: none"> <li>- 사람의 신경망과 같이 연산할 수 있는 Neuromorphic Computing 시스템과 Neuromorphic Chip</li> <li>- 사람의 신경망과 Neuroscience에 대한 이해 및 관련 연구</li> <li>- Memory Wall 극복을 위한 차세대 컴퓨팅 구조               <ul style="list-style-type: none"> <li>· 뉴로모픽, In-Memory Computing 등 非 폰-노이만 구조</li> </ul> </li> </ul> <p>② Bio-Inspired Semiconductor Device</p> <ul style="list-style-type: none"> <li>- 생체 혹은 자연계에 존재하는 구조, 시스템, 감각 기관 등을 모사하고 응용하여 만든 소자 및 시스템</li> <li>- 사람과 마찬가지로 다양한 감각을 받아들일 수 있거나,</li> </ul>

구분	주요 내용
	<p>혹은 그 이상을 감지할 수 있는 소자 및 시스템</p> <p>③ 뉴로모픽 학습 향 Analog MAC 구현</p> <ul style="list-style-type: none"> <li>- 가중치 업데이트를 위한 쓰기 특성 중요</li> <li>- Conductance 변화가 펄스 개수에 선형적으로 비례</li> <li>- Conductance 증가 감소가 대칭</li> <li>- SRAM 수준 endurance 필요</li> </ul> <p>④ 뉴로모픽 SNN 구현</p> <ul style="list-style-type: none"> <li>- 뉴론 향 전하 충전 가능한 소자</li> <li>- 뉴론 향 임계 전압 이상에서 방전되는 소자</li> <li>- 시냅스와 동일 공정으로 구현 가능한 소자 (선택 사항)</li> </ul> <p>⑤ NPU 향 Scratch Pad 메모리 구현</p> <ul style="list-style-type: none"> <li>- NPU-DRAM 병목 개선을 위한 SRAM 용량 증대 필요</li> <li>- 전력 소모 및 면적 증가는 억제</li> </ul> <p>⑥ 뉴로모픽 추론 향 Analog MAC 구현</p> <ul style="list-style-type: none"> <li>- 행렬 벡터 곱셈을 위한 시냅스 소자 필요</li> </ul> <p>⑦ 뉴로모픽 CAM (Content Addressable Memory) 구현</p> <ul style="list-style-type: none"> <li>- 데이터 매칭을 위한 효율적 비트 셀 필요</li> </ul>



### 3) CMOS-Bio Interface

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 기계학습, 고밀도 저장 장치, 로봇, 스마트 모빌리티 등</li> <li>- 반도체와 신경계를 직접 연결, 스마트폰 이후 새로운 디지털 플랫폼 창출</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① High Density Storage Device               <ul style="list-style-type: none"> <li>- 생체 내 기억 메커니즘을 활용한 고밀도 저장 장치</li> <li>- 생체 분자를 활용한 고밀도 저장 장치</li> </ul> </li> <li>② Brain-Computer Interface (BCI)               <ul style="list-style-type: none"> <li>- Implanted BCI를 이용한 PC 조작 및 인터넷 접속, 컴퓨터로 하는 일을 사람의 생각으로 수행</li> <li>- 사람과 AI의 결합, 새로운 디지털 플랫폼 창출</li> </ul> </li> </ul>

4) In-memory computing based AI accelerator for ultra-low power voice/audio systems

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- Mobile/Wearable/IoT 등의 application에서 always on 동작하는 voice/audio 기능의 필요성 증가</li> <li>- 제한된 배터리로 인하여, 이를 초저전력으로 구현하는 기술 확보가 필요</li> <li>- Mobile/Wearable/IoT 등의 제품에 활용 가능</li> </ul>
세부사례	<p>① Ultra low-power AFE (Analog front end) 기술 개발</p> <ul style="list-style-type: none"> <li>- 저전력 MEMS microphone을 위한 high input impedance MIC-boost amplifier 기술 개발</li> <li>- Reconfigurable SAR quantizer based continuous-time delta sigma ADC 개발</li> <li>- Fast transition analog system, low-noise microphone bias 기술 개발</li> </ul> <p>② In-memory computing 기술 개발</p> <ul style="list-style-type: none"> <li>- 초 저전력 동작을 위해서 연산 과정에서의 데이터 이동이 최소화하도록 메모리와 연산을 융합하는 기술 개발</li> </ul> <p>③ Mixed signal neural network system 개발</p> <ul style="list-style-type: none"> <li>- Audio AFE, 음성 처리, neural network 연산, data buffering 단계로 구성된 초 저전력 VTS (Voice trigger system) 개발</li> </ul>

7. Custom SoC : HW/SW Co-Design

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- Custom SoC for Algorithm to Hardware Holistic Optimization</li> <li>· AR/VR 등 Always-on 기기를 위한 초저전력 AI 가속기 구조</li> <li>· 카메라, TV, IoT 등의 Application 최적화 SoC 구조</li> </ul>
세부기술	<ul style="list-style-type: none"> <li>① On-Device Deep Learning Model Optimization 기술               <ul style="list-style-type: none"> <li>- DNN Quantization 등 Model Compression 기술</li> <li>- Knowledge Distillation 등 On-device 向 Model Training 기술</li> <li>- NAS 등 Automatic HW-Optimized Model Development 기술</li> <li>- On-Device 向 Unsupervised Few-Shot Learning 기술</li> </ul> </li> <li>② AI System Software 기술               <ul style="list-style-type: none"> <li>- Privacy 및 Personalization 위한 On-Device Training 기술</li> <li>- Multi-Device 환경에서 Distributed AI Processing 기술</li> <li>- IoT 기기를 위한 초경량 AI Runtime 기술</li> <li>- CPU / GPU / NPU 등 다양한 Backend 지원 AI Runtime 기술</li> <li>- NPU Compiler Optimization 기술</li> </ul> </li> <li>③ Custom HW Accelerator 개발               <ul style="list-style-type: none"> <li>- Transformer-Based Model 최적화 AI Accelerator 기술</li> <li>- Ultra Low Power Machine Vision Accelerator 기술</li> <li>- Power Efficient Image &amp; Video Processing Accelerator 기술</li> <li>- Language &amp; Voice Processing Accelerator 기술</li> </ul> </li> </ul>

④ Custom SoC Architecture 연구

- Commercial Application End-to-End Workload Analysis 연구
- Mobile & Embedded Device 向 SoC System Architecture 연구

## 8. 차세대 스마트 홈 플랫폼

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 점차 지능화 되는 기기와 환경에 맞춰, AI를 활용한 서비스 활발히 적용되고 있음.</li> <li>· Cloud 컴퓨팅 파워 의존성과 Privacy 이슈 有</li> <li>- 스마트 기기 증가로택내 컴퓨팅 리소스 증가               <ul style="list-style-type: none"> <li>→택내 스마트 기기 활용한 Edge 컴퓨팅 환경의 스마트 홈 플랫폼 연구 개발 및 적용 요구 증대</li> </ul> </li> </ul>
세부기술	<ul style="list-style-type: none"> <li>① 다양한 성능과 리소스의 홈 스마트 기기간 분산 AI 프레임워크 기술           <ul style="list-style-type: none"> <li>· 저사양 가전부터 고사양 PC까지 아우르는 분산 컴퓨팅               <ul style="list-style-type: none"> <li>→ 이종 기기 분산 컴퓨팅 프레임워크 기술 필요</li> <li>→ H/W 특징이 고려된 시스템 기술 설계 및 개발</li> </ul> </li> </ul> </li> <li>②택내 사용자 행태 및 동선, 상황 분석 AI 기술           <ul style="list-style-type: none"> <li>·택내 기기들만으로 구성된 분산 AI 시스템에 적합한 새로운 AI 기술 개발 필요</li> <li>·택내 가전 기기들이 사용자 센싱, 데이터 공유 및 학습하는 구조 설계 및 관련 기술 개발               <ul style="list-style-type: none"> <li>→ 경량화 분산 처리 기술</li> <li>→ Embedded 기기向 화자/공간 인식 기술</li> <li>→ Embedded 기기向 영상인식 기술(문자/광고 영역등)</li> <li>→택내 수집되는 데이터 보안 및 Privacy 보호 기술</li> </ul> </li> </ul> </li> </ul>

## 9. 차세대 디스플레이

### (1) 차세대 실감형 입체 영상 디스플레이

구분	주요 내용
활용분야	- (Pseudo) Hologram, Light field 기술
세부기술	① 입체 영상 실시간 렌더링/전송 기술 <ul style="list-style-type: none"> <li>· 실시간 입체 영상 캡처 및 생성 기술</li> <li>· 高 입체감 표현을 위한 렌더링 기술               <ul style="list-style-type: none"> <li>→ Contents CG to 3D 변환 기술</li> <li>→ 실사 to 3D 변환 기술</li> </ul> </li> <li>· 실시간 영상 전송을 위한 압축 또는 영상처리 기술</li> </ul> ② FPD用 입체 영상 구현 기술 <ul style="list-style-type: none"> <li>· 대면적 (TV用), 광시야각 (FoV확장) 가능한 구조</li> <li>· 자연스러운 입체영상 표시 가능한 Light Field 또는 Hologram 기술</li> <li>· 고 해상도, 고 컬러 구현 기술로 두께 5cm 이하 의 Flat Panel 광학/광원 기술</li> </ul>

### (2) 오감 미디어 및 Display

구분	주요 내용
활용분야	- AR/VR등이 가속화된 미래 가상현실 생태계에서의 새로운 경험을 제공하는 신규 Device 및 서비스
세부기술	① 감각을 Capturing 하고 영상내 감각 정보를 Mastering 하는 기술 <ul style="list-style-type: none"> <li>- 영상내 물체별 감각정보를 Embedded 하여 감각을 표현하는 새로운 영상의 획득 및 생성</li> </ul> ② 감각정보를 전송하는 Tele-haptic 기술 <ul style="list-style-type: none"> <li>- 감각정보를 모델링/압축 하여 원격 전송하는 기술</li> </ul> ③ 감각 영상을 재현하여 표현하는 Display 기술 <ul style="list-style-type: none"> <li>- 영상내 감각정보를 표현할 수 있는 Rendering 및 감각 Display HW 및 SW 포함한 시스템 기술</li> </ul>

(3) Micro LED Display향 Monolithic RGB uLED 기술

구분	주요 내용
활용분야	- 차세대 Micro LED Display향 低원가/高性能 Micro LED Chip
세부기술	<p>① 동일 성장 기판上에 高효율 RGB Epitaxial 성장 기술</p> <ul style="list-style-type: none"> <li>- 高결정성 에피 성장 기술               <ul style="list-style-type: none"> <li>· 개별 RGB와 동등 수준 효율 얻기 위한 에피 구조</li> <li>· 高결정성 GaN-template 성장 기술                   <ul style="list-style-type: none"> <li>→ 관통 전이 밀도 <math>\leq 10^8</math> (cm<sup>-2</sup>)</li> </ul> </li> <li>· 高효율 색재현성 제고 위한 파장 반치폭 최소화</li> </ul> </li> <li>- RGB 독립 제어 위한 Epi 성장/ 구조 설계 기술</li> </ul> <p>② 고성능 Chip 구조 설계 기술</p> <ul style="list-style-type: none"> <li>- RGB 적층間 빛에 의한 색순도 저해를 방지하는 Chip 구조</li> <li>- 최대 발광 면적 확보 위한 Chip PAD 구조</li> </ul>

## 10. 차세대 디스플레이 요소기술

구분	주요 내용
배경 및 필요성	<ul style="list-style-type: none"> <li>- 세상에 없는 차세대 디스플레이 신규 Device 필요성 高</li> <li>- 기존 디스플레이 Platform의 성능한계 극복을 위한 新소재/공정기술 발굴 필요</li> </ul>
활용 분야	<ul style="list-style-type: none"> <li>- 디스플레이 패널/소재/부품/공정</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① 고성능 Micro Display 기술               <ul style="list-style-type: none"> <li>- 친환경 高효율 Red LED, 高효율 Monolithic full color Micro LED 等</li> <li>- 광손실 적은 광학모듈(메타렌즈, 나노포토닉스 等)</li> </ul> </li> <li>② Stretchable 소재/공정기술               <ul style="list-style-type: none"> <li>- 유연 기판 및 봉지 재료/공정기술</li> <li>- 신축성 우수 투명전극 소재/공정기술</li> <li>- 디스플레이 공정에 적용가능한 광특성/내열성 보유재료</li> </ul> </li> <li>③ Hologram 디스플레이 기술               <ul style="list-style-type: none"> <li>- 新소재/소자 기술</li> <li>- 입체영상 압축/생성/전송 기술</li> </ul> </li> </ul>



11. 차세대 통신 (5G-Advanced and 6G Communication)

구분	주요 내용
활용분야	- 차세대 통신 기지국 및 단말
세부기술	<p>① 6G 초광대역 이동 통신 기술</p> <ul style="list-style-type: none"> <li>- Upper-Mid Band向 저전력 초광대역 (Fractional Bandwidth &gt; 30%) RFIC(CMOS) 및 고효율/고선형 PA 기술 (Envelope Tracking, Average Power Tracking, CFR/DPD)</li> <li>- Upper-Mid Band向 다중 RF 입출력 신호의 위상/크기 보정 가능한 RF BIST (Built-in Self Test) 기술</li> <li>- 고집적/저손실 extremely massive MIMO용 안테나 설계 기술</li> <li>- 초광대역 ADC/DAC 기술 (<math>\geq 5</math> Gsps)</li> <li>- 저복잡도/고성능 extremely massive MIMO 신호처리 알고리즘</li> </ul> <p>② Joint Communication &amp; Sensing 기술</p> <ul style="list-style-type: none"> <li>- 이동 통신 신호를 활용하여 센싱(Radar 및 Positioning) 기능과 통신 기능을 동시에 지원하는 통신/센싱 통합 송수신 기술</li> <li>- 센싱 정보를 활용해 통신 성능을 개선하는 신호 처리 기술 및 통신 프로토콜</li> </ul> <p>③ AI 통신 기술</p> <ul style="list-style-type: none"> <li>- 5G 이동통신 네트워크 자원의 운용 최적화 및 성능 개선을 위한 Network 지능화 AI 기술 개발</li> <li>- AI를 내재화 하여 통신 성능을 혁신적으로 개선하거나, 복잡도 및 비용을 대폭 절감하는 차세대 6G 무선 접속 기술 및 네트워크 기술</li> </ul>

④ Cloud 친화적 Network 구조

- 가상화된 무선 접속 (vRAN) 장비, 코어 네트워크 (vCore)의 S/W를 Cloud 친화적으로 구조를 최적화하여 네트워크의 확장성(Scalability), 고가용성(Availability)을 높이고 서버 자원 운용에 효율적인 Cloud 친화적 네트워크 구조 설계

## 12. 차세대 센서

### 1) 저조도 개선을 위한 Image 센서

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 이미지 센서는 Mobile, 가전, Automotive, AR/VR 등 다양한 분야에서 중요성이 높아지고 있는 상황</li> <li>- 저조도 특성 개선과 High Dynamic Range를 위한 Pixel Scheme, 공정/소자, 회로 필요</li> </ul>
세부사례	<p>① 저조도 이미지 특성 개선 (Low Noise)</p> <ul style="list-style-type: none"> <li>- RTS, Flicker Noise 등 저주파 Noise 저감을 위한 새로운 소자(SF Transistor) 구조</li> <li>- Pixel Scheme 및 Multi-sampling, PGA 등 회로 기법을 이용한 Noise 저감</li> <li>- In-pixel ADC 구현을 위한 Low Noise &amp; Compact Sub-threshold Operation Amplifier</li> </ul> <p>② HDR (High Dynamic Range)</p> <ul style="list-style-type: none"> <li>- 새로운 HDR 구현 Pixel Scheme 발굴               <ul style="list-style-type: none"> <li>· 기존 Multi-exposure, Multi-gain, Overflow Cap.은 DR 확장에 효과적이거나, Image Quality 저하와 픽셀 사이즈 이슈 존재</li> <li>· 이를 해결하기 위한 새로운 HDR 구현 방안 (Pixel Scheme) 발굴 필요</li> </ul> </li> <li>- Digital Pixel Sensor 구조 활용한 HDR 구현               <ul style="list-style-type: none"> <li>· Low-power &amp; Low-noise ADC 회로,</li> <li>픽셀 소형화를 위한 CIS형 In-pixel Memory,</li> <li>Chip Size 최적화 위한 3D Architecture (ex. Data Flow, Thermal Distribution 등)</li> </ul> </li> </ul>

2) Image/Object/Gesture인식을 위한 H/W

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- Mobile, Wearable, IoT, Robot 등 적용을 위한 always on 초전력 인식 필요</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① Ultra Low-power Image Capture               <ul style="list-style-type: none"> <li>- Image/Object/Gesture 인식에 특화된 Ultra Low-power Sensor</li> <li>- Capture &amp; Neural Processing을 동시에 Optimize 할 수 있는 Device</li> </ul> </li> <li>② Analog + Digital Neural Network HW               <ul style="list-style-type: none"> <li>- Ultra Low-power Image/Object/Gesture 인식을 위해, High Energy Efficiency 필요 Layer는 Analog에서 처리하고, High Precision 필요 Layer는 Digital에서 처리하는 등의 Mixed Neural Network System</li> </ul> </li> <li>③ Multi-stage               <ul style="list-style-type: none"> <li>- Cascading 기법으로 Detection/Recognition을 진행하면 전체적인 System Energy를 Optimize 할 수 있을 것으로 보고, 이에 필요한 Architecture + Algorithm Co-optimization 하는 기법</li> </ul> </li> </ul>

### 3) 차량용 SoC 설계

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 자동차의 Smart Device화 및 자율 주행 차량 시장 확대</li> <li>- 이를 위한 차량용 Infotainment SoC와 ADAS SoC 필요</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① System Modeling 및 Performance Simulation               <ul style="list-style-type: none"> <li>- 제품 개발 전 필요한 Spec을 만족하기 위한 System을 미리 Modeling 하고, Application Level의 성능 평가를 위한 Simulation</li> </ul> </li> <li>② SoC Safety 환경 구축               <ul style="list-style-type: none"> <li>- Fault-campaign Platform 구축</li> <li>- ASIL-D Grade 확보</li> <li>- 주행 환경을 고려한 DVFS 및 Thermal Management</li> <li>- 동작 중 SoC Health를 진단</li> </ul> </li> <li>③ Multi-chip 연결               <ul style="list-style-type: none"> <li>- 4개 이상의 Chip을 CCIX나 CXL을 통해 하나의 CoherentSystem으로 연결</li> <li>- 주행 환경에서 Chip 간 고속 Interface의 안정성을 확보</li> </ul> </li> <li>④ 설계 목표에 따른 구현 최적화               <ul style="list-style-type: none"> <li>- 동일 설계물(RTL)로부터 Highend 제품은 Power, Area를 소모하여 성능 극대화하고, Volume 제품은 성능은 낮추고 Area 최소화 하는 등 여러 Segment용 SoC 제품을 만들어 낼 수 있는 Backend</li> <li>- AI 기반의 Backend 최적화</li> </ul> </li> </ul>

#### 4) Automotive 향 SWIR 광검출 기술 및 Readout 회로 기술 개발

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- Automotive: 장거리 표적 식별, In-cabin</li> <li>- Automotive 첨단운전자보조시스템(ADAS)과 자율주행 적용 차량에 탑재되는 센서 솔루션으로 LIDAR, Laser Gated Imager 등의 센서 부각(장거리 인지, 해상도, 정확도 우수)</li> <li>- LIDAR, Laser Gated Imager는 광원(Active light source)과 광검출(Detector)부로 구성, 광원이 방출되는 경로에서의 보행자 Eye Safety를 필수적으로 고려해야함. 다양한 크기 (order of magnitude)의 강력한 레이저 파워를 출력하기 위한 SWIR 파장대역(1310nm, 1550nm)의 센서 사용 필요함</li> </ul>
세부사례	<p>① 2.5D/3D 설계</p> <ul style="list-style-type: none"> <li>- Si 공정 기반 저가 소자 제작 공정 구현               <ul style="list-style-type: none"> <li>· Cost(Si Wafer 기준): 2 x Si</li> </ul> </li> <li>- InGaAs SWIR detector 동등 수준 성능 확보(성능 목표)               <ul style="list-style-type: none"> <li>· SNR(&gt; 60dB @1310nm) and Responsivity(&gt; 0.9 A/W)</li> <li>· Sensitivity(&lt; 1 lux, <math>10^{-6}</math> W/cm<sup>2</sup>)</li> <li>· QE (&gt; 50%) and Dark Current (&lt; 10<sup>3</sup>)</li> <li>· Pixel Size (&lt; 5um)</li> </ul> </li> </ul> <p>② Readout 회로 기술 개발</p> <ul style="list-style-type: none"> <li>- Si 공정 기반 소자용 ROIC 개발               <ul style="list-style-type: none"> <li>· 저잡음 Readout 구조 및 회로 설계</li> </ul> </li> </ul>

### 13. Cognitive Map

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 정밀한 공간정보 분석을 통해 다양한 신규 서비스 창출</li> <li>· 3 차원 매핑 정밀한 위치 인식 시맨틱 정보 추출</li> <li>· Large scale, in the cloud, 자율 갱신 필수</li> </ul>
세부기술	<p>① Large Scale Cooperative Visual SLAM 기술</p> <ul style="list-style-type: none"> <li>- 카메라 및 inertial 센서 기반의 SLAM 기술 6 DoF</li> <li>- Crowd sourcing 을 위한 cooperative SLAM 기술</li> <li>- 유지 보수를 위한 자율 갱신 기술 fault 탐지 포함</li> <li>-&gt; Sub-space (i.e.submap) reconstruction 및 progressive stitching/pruning 기술 필요</li> </ul> <p>② Voxel Level Semantic Labeling 기술</p> <ul style="list-style-type: none"> <li>- 이미지 기반 dense semantic labeling 기술</li> <li>- Locally consistent labeled voxel map 생성 기술</li> <li>- Fast semantic searching 을 위한 index 관리 기술</li> <li>-&gt; Visual surface estimation 및 spatiotemporal voxel labeling 기술 필요</li> </ul> <p>③ In-the-Cloud Spatial Intelligence 서비스 기술</p> <ul style="list-style-type: none"> <li>- Tile 기반 localization 및 semantic layer 관리기술</li> <li>- RESTful API 기반 database access 기술</li> <li>- On device localization frontend 기술</li> <li>-&gt; Tile 기반 in the cloud database 관리 및 thin-client localization frontend 기술 필요</li> </ul>

14. 차세대 실감 인터랙션

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 메타버스의 대두와 함께 현실과 가상을 완벽하게 연결해줄 상호작용의 강화가 매우 중요</li> <li>· 가상 콘서트, 게임 뿐만 아니라 비대면 업무 솔루션, 헬스케어, 교육 등 다양한 분야로 메타버스 확대 중</li> <li>· 메타버스에서는 기존 '관찰자' 입장의 경험이 아닌 '참여자' 입장의 몰입도 높은 소비자 경험 제공 중요</li> <li>· 몰입도 높은 경험 제공을 위한 HW/SW에 대한 요구는 커지고 있으나, 아직 기술 수준은 미흡한 상황</li> <li>- 차세대 실감 인터랙션을 위한 HW/SW 핵심기술 개발 필요</li> </ul>
세부기술	<p>① 촉각 인터랙션 기술</p> <ul style="list-style-type: none"> <li>· 사용자가 느끼는 촉각적 자극까지 제공하고, 원격지 사용자들간 촉각 경험의 공유를 제공하는 기술</li> <li>· 인간 감각과 동등한 수준의 촉각 인식 및 전달을 위한 힘, 진동, 전기, 초음파 등 센서 및 알고리즘 혁신</li> <li>· 사용자가 편리하게 일상 생활에서 사용할 수 있는 수준의 글로브, 슈트 등 착용형 제품 연구</li> </ul> <p>② 내추럴 의도 인식 및 피드백 결정 기술</p> <ul style="list-style-type: none"> <li>· 몰입도 향상을 위해 정확한 사용자 의도를 자연스럽게 인식하고, 상황에 적절한 피드백을 제공하는 기술</li> <li>· 제스처, 음성, 감정, 생체신호 등의 자연스러운 인식 및 정확한 의도 판단을 위한 센서 및 AI 기술 혁신</li> <li>· 파악한 사용자 의도 및 상황(사용자, 주변 환경 등)을 고려한 최적의 피드백 결정을 위한 AI 기술 연구</li> </ul>



## 15. Artificial Intelligence

### 1) 주제 : AI 신뢰성에 대한 연구

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 인공지능을 이용한 소프트웨어 개발 패러다임 전환</li> <li>- 인공지능 디바이스의 오동작에 대한 안전 장치 마련</li> <li>- 글로벌 인공지능 산업 적용 규제에 대한 대응</li> <li>- 인공지능 기술의 사회적 책임 강화</li> </ul>
세부사례	<ol style="list-style-type: none"> <li>① 초거대 범용 인공지능의 신뢰성 분석               <ul style="list-style-type: none"> <li>- 초거대 모델을 이용한 서비스의 신뢰도에 대해 구조적 한계점 및 데이터 파이프라인의 영향도 분석 및 개선</li> </ul> </li> <li>② 인공지능 모델 및 시스템의 신뢰도 지표 설계               <ul style="list-style-type: none"> <li>- Fairness, Explainability, Interpretability 등의 지표</li> </ul> </li> <li>③ 글로벌 인공지능 산업 적용 규제 분석               <ul style="list-style-type: none"> <li>- EU 등 주요 권역별 산업 규제에 대한 대응 방안 제시</li> </ul> </li> <li>④ 인공지능 확산에 대한 사회 문화적 영향 분석               <ul style="list-style-type: none"> <li>- 다양한 분야의 업무 및 일상 생활에 인공지능이 적용됨에 따른 사회 문화적 영향 분석 및 안정적인 기대치(Expectation) 형성을 위한 방향 제시</li> </ul> </li> <li>⑤ AI 신뢰성을 보완하기 위한 SW Engineering, UX 연구               <ul style="list-style-type: none"> <li>- 블랙박스로 동작하는 AI 컴포넌트를 이용한 소프트웨어 개발 방법론의 개선 및 사용자 경험 중심에서 오동작에 대한 보완 장치 연구</li> </ul> </li> <li>⑥ AI Fairness를 준수하는 모델과 Fairness 측정 방안 연구               <ul style="list-style-type: none"> <li>- AI 편향성(bias)을 최소화 할 수 있는 학습 방법과 AI 결과에 bias나 fake가 없는지 측정하여 신뢰성 제고</li> </ul> </li> </ol>

⑦ AI 신뢰성 확보를 위한 데이터 밸런스 연구

- 학습 데이터가 실제 현장을 잘 대표함과 동시에 정보 편향이 없도록 하는 데이터 수집, 정제, 평가 방안 연구

⑧ AI 관련 해킹 방어 및 Safety 확보 방안 연구

- AI 신뢰성을 저하시키는 AI 시스템을 대상으로 하는 해킹 방어와 함께, AI를 이용한 금융 사기 유도 방지 등의 Safety 확보 방안 연구

16. 클라우드

1) 주제 : 차세대 클라우드 컴퓨팅 기술

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- AI 기술 개발을 위한 On-demand 대규모 컴퓨팅 환경 제공</li> <li>- AI 기술을 이용한 클라우드 인프라 운영 관리 자동화</li> <li>- 데이터센터/클라우드 기술의 ESG 측면 사회적 책임 강화</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① AI 워크로드를 위한 클라우드 인프라 최적화               <ul style="list-style-type: none"> <li>- 더 나은 AI 워크로드 처리를 위해 다양한 신규 가속기를 이용하여 클라우드 인프라 최적화</li> </ul> </li> <li>② AI 기반 클라우드 컴퓨팅 자원 할당 및 scheduling               <ul style="list-style-type: none"> <li>- 클라우드 컴퓨팅의 유휴 자원을 줄이고, 낭비를 최소화하는 자원할당 및 scheduling 알고리즘 개발</li> </ul> </li> <li>③ 클라우드 기반 지능형 Agent               <ul style="list-style-type: none"> <li>- 클라우드 인프라 운영 및 관리 및 Applications의 성능 분석과 개선을 자동화를 위한 지능형 Agent</li> </ul> </li> <li>④ 에너지 효율적인 클라우드 데이터 스토리지               <ul style="list-style-type: none"> <li>- 클라우드 환경에서 압축, 데이터 중복제거 또는 데이터 인출 속도 조절 등으로 대규모 데이터 저장을 에너지 효율적으로 수행하기 기술</li> </ul> </li> <li>⑤ 지속가능한 AI를 위한 클라우드 인프라               <ul style="list-style-type: none"> <li>- 신재생에너지 사용, 에너지 효율적인 데이터센터 냉각 기술등을 포함한 지속가능한 AI 수행을 위한 클라우드 데이터센터 인프라 설계</li> </ul> </li> </ul>

## 17. 바이오 의약품 개발 및 생산 공정 고도화 기술

### 1) 인공지능/기계학습을 이용한 차세대 바이오 치료제 또는 제조공정의 개선

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 기존 mRNA 유전자 치료제 생산 공정 또는 활성의 문제점들을 극복할 수 있는 개량 효소 개발</li> <li>- 기존 치료용 단백질 또는 치료용 항체의 생산 공정 또는 활성의 문제점들을 극복할 수 있는 플랫폼 개발</li> </ul>
세부사례	<p>① mRNA 치료제 분야</p> <ul style="list-style-type: none"> <li>- 돌연변이 단백질 고속검색의 효율화로 달성 가능하지 않은 수준의 천문학적인 수준의 경우의 수에 대해 기계학습과 인공지능을 활용한 차세대 구조-활성 (structure-activity) 예측 모델로 mRNA 생산에 필요한 효소들의 성능개량</li> <li>· 개량된 효소는 면역원성을 야기하는 불순물을 획기적으로 줄이는 형질을 가질 수 있음</li> <li>· 개량된 효소는 열안정성 또는 catalytic processivity 등이 개선되어 수율이 증가하거나 공정시간을 획기적으로 줄인 형태일 수 있음</li> <li>· 개량된 효소는 IVT에 사용되는 T7 polymerase, 5' end capping enzyme 또는 RNA modifying enzyme 등일 수 있음</li> </ul>

② 치료용 단백질 또는 항체 분야

- 기계학습 또는 인공지능을 활용한 구조예측 도구로 치료용 단백질/항체를 공학적으로 개선하는 플랫폼 구축
- 디자인 하고자 하는 단백질은 열 또는 단백질 분해효소에 대해 뛰어난 안정성을 가질 수 있음
- 디자인 하고자 하는 항체는 항원에 대한 높은 반응성을 가질 수 있음
- 디자인 하고자 하는 항체는 접힘 형태가 더욱 안정하여 의도하는 접합체의 수율 또는 순도를 획기적으로 높임

2) 실험동물의 사용을 대체할 수 있는 독성평가 방법의 개발

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 신약개발에 필요한 기간과 소요비용을 줄이고 설치류와 영장류를 포함한 윤리적인 실험동물 사용을 위한 차세대 독성평가 시스템 구축</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① Organoid 또는 mini-organ 분야               <ul style="list-style-type: none"> <li>- 인간의 장기특성을 모사할 수 있는 조직 배양조건에서 약물의 독성을 정성적, 정량적 측정이 가능한 시스템을 구축. 특히, 유전자 치료제의 염기서열 차이로 인해 독성 매커니즘상의 중간 특이성으로, 인간 종에서만 유효 독성이 예상 되는 약물에 대한 독성 예측모델 개발</li> </ul> </li> <li>② Organ on a chip 분야개발               <ul style="list-style-type: none"> <li>- 다양한 장기가 순환계로 연결된 구조에서 약리/약동학적인 검사가 가능한 Animal-free ADME 시스템 ADME 시스템 구축</li> </ul> </li> <li>③ 기타 in vitro culture system 분야               <ul style="list-style-type: none"> <li>- 신약의 약리 작용과 독성 메커니즘에 기반한 다양한 독성 예측이 가능한 키트 또는 시험 방법의 개발</li> </ul> </li> </ul>

3) 비임상/임상학적 약리효과를 측정할 수 있는 비침습적 바이오마커 또는 모니터링 디바이스의 개발

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 신약개발을 위한 비임상 시험시, 약물의 용량반응성과 치료효과를 보다 객관적이고 고빈도로 모니터링하여 PK/PD Modeling에 활용하고 조직생검을 위한 부검이 필요한 실험의 경우 실험동물의 수요감소</li> <li>- 신약개발을 위한 임상시험에서 약물의 객관적이고 정량적인 효능을 측정함으로써 약효에 대한 평가를 신속하게 하고 OLE (Open Label Extension) 스터디에 더 많은 환자군 모집</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① 생화학적 액체생검분야               <ul style="list-style-type: none"> <li>- 혈액 또는 뇌척수액 (CSF or cerebrospinal fluid)에서 높은 민감도로 약효를 예측 할 수 있는 높은 민감도의 생화학적 측정방법 개발</li> <li>- 예를 들면 고민감도의 NfL (Neurofilament Light Chain protein) 단백질의 측정방법의 개선으로 퇴행성 뇌질환의 치료효과 조기 판별</li> </ul> </li> <li>② 영상 분석 분야               <ul style="list-style-type: none"> <li>- 특정 tracer 물질을 이용한 fMRI, PET 등의 영상검사로 각종 장기의 형태적, 기능적 변화를 모니터링</li> <li>- 예를 들면 타우 PET을 이용한 알츠하이머성 치매의 진행 측정</li> </ul> </li> <li>③ Mobile 헬스케어 디바이스 분야               <ul style="list-style-type: none"> <li>- 뇌질환 또는 말초신경질환의 경우 실시간으로 발작, 경련, 운동능력 등의 신경학적 변화를 측정할 수 있는 웨어러블 디바이스의 개발</li> <li>- 혈당, 간 또는 신장수치 등 혈류내의 메타볼라이트를 실시간 모니터링 할 수 있는 웨어러블 디바이스 개발</li> </ul> </li> </ul>

#### 4) 차세대 바이오 치료제 생산을 위한 공정

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 바이러스 제거 필터 개발</li> <li>- High Titer 공정을 위한 고성능 정제 레진 개발</li> <li>- 효율적인 검체 분석법 및 공정 자동 분석 기술 개발</li> <li>- 의약품 원료(Powder형) 제형 개발 및 자동 투입 기술 개발</li> </ul>
세부사례	<ul style="list-style-type: none"> <li>① 바이러스 필터 개발               <ul style="list-style-type: none"> <li>- 정규분포 20 Nano Pore을 가진 바이러스 필터 개발 필요</li> <li>· 아사히 카세히社, Merck社, Sartorius社 等 일부 독점</li> <li>· 동물세포 정제과정 중 오염될 수 있는 바이러스 제거</li> <li>· 바이오 의약품의 바이러스 관리를 위한 필수적인 필터</li> </ul> </li> <li>② 고성능 정제 레진 (Chromatography Resin) 개발               <ul style="list-style-type: none"> <li>- 기존 레진이 가지고 있는 Dynamic Binding Capacity(DBC) 및 공정 속도 개선이 필요</li> <li>· 高 Titer 공정을 위한 높은 용량의 DBC 및 고속 레진공정</li> <li>· 미생물 관리 가능한 염기성(살균용액)에 강한 정제레진必</li> <li>· 컬럼 팩킹이 용이하도록 탄성이 높은 레진 개발 필요</li> </ul> </li> <li>③ 의약품 원료(Powder형) 제형 개발 및 자동 투입 기술 개발               <ul style="list-style-type: none"> <li>- Process Vessel 내 투입되는 의약품 원료 제형 개발</li> <li>· 흡습으로 인한 원료 고형화 방지(예: 결정화, Granola 等)</li> <li>- 고형 의약품 원료 자동 투입 (50kg ~ 1000kg)개발</li> <li>· 원료 자동투입/배치/용기 세척 자동화 통한 인력/사고 감소</li> </ul> </li> </ul>



5) 치료용 단백질 대량 생산을 위한 공정 고도화

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 기존 세포 배양을 기반으로 하는 모든 치료용 단백질의 생산공정</li> <li>- 기존 낮은 생산성이나 공정의 높은 복잡성으로 인해 생산 단가가 비싼 단백질 치료제의 생산공정</li> <li>- 기존 노동집약적 치료용 단백질 생산 공정</li> </ul>
세부사례	<p>① 고농도 세포 배양</p> <ul style="list-style-type: none"> <li>- 기존 2~3E7 cells/ml 정도의 최대 세포 농도를 최고 5~10배 (1E8 cells/ml)까지 끌어올리는 대용량(&gt;3KL) 관류배양(Perfusion Culture) 방식의 도입</li> <li>· 종배양(N-1) 혹은 본배양 단계에 관류배양 방식을 도입</li> <li>· 세포의 수가 증가한 것과 비례해 목적 단백질의 생산량을 증가시킬 수 있음</li> </ul> <p>② 연속 정제 공정 플랫폼 확립</p> <ul style="list-style-type: none"> <li>- 기존 다수의 배양 Train과 소수의 정제 Train을 유지하는 생산방식에서 발생하는 배치 간 Down Time(Cadence)를 줄이고 동시에 높은 생산성 달성을 위해 필수</li> <li>· CMCC(Continuous Multi-column Chromatography), FTAEX (Flow-Through Anion Exchange Chromatography) 등 도입 必</li> <li>· 개념도</li> </ul> <div style="display: flex; justify-content: space-around;"> <div data-bbox="363 1547 887 2018"> <p><b>Semi-continuous</b></p> <p>The diagram shows a Bioreactor feeding into a CMCC protein A chromatography step. The product then goes through Viral inactivation, FT AEX, and Viral filtration. The product is then held in a traditional product hold vessel (purple circle) before moving to a Polishing step, followed by UF/DF and HC UFP.</p> <p>Legend:</p> <ul style="list-style-type: none"> <li>CMCC: Continuous multi-column chromatography</li> <li>FT AEX: Flow through anion exchange chromatography</li> <li>UF/DF: Ultrafiltration / Diafiltration</li> <li>HC UFP: High concentration ultrafiltration product</li> <li>Single use surge vessel (green circle)</li> <li>Traditional product hold vessel (purple circle)</li> </ul> </div> <div data-bbox="932 1547 1455 2018"> <p><b>Fully continuous</b></p> <p>The diagram shows a Bioreactor feeding into a CMCC protein A chromatography step. The product then goes through Viral inactivation, FT AEX, and Viral filtration. The product is then held in a single-use surge vessel (green circle) before moving to a CMCC polishing chromatography step. The product is then held in another single-use surge vessel (green circle) before moving to SPTFF, ILDF, LC UFP, Ultrafiltration, and finally HC UFP.</p> <p>Legend:</p> <ul style="list-style-type: none"> <li>CMCC: Continuous multi-column chromatography</li> <li>FT AEX: Flow-through anion exchange chromatography</li> <li>SPTFF: Single-pass tangential flow filtration</li> <li>ILDF: In-line diafiltration</li> <li>LC UFP: Low-concentration ultrafiltration product</li> <li>HC UFP: High-concentration ultrafiltration product</li> <li>Single-use surge vessel (green circle)</li> </ul> </div> </div>

구분	주요 내용
	<p>③ Manufacturing Automation</p> <ul style="list-style-type: none"> <li>- PAT(Process analytical technology)</li> <li>· On/in line sensor류의 도입으로 off line sampling으로부터 발생하는 각종 issue를 제거할 수 있음</li> <li>· Real time으로 monitoring 가능해 이슈 공정 중 이슈발생 시 빠른 대응 가능</li> <li>- Operation Automation</li> <li>· PAT Sensor와 Recipe Automation을 통해 휴먼에러 최소화</li> </ul>

18. 차세대 유전자 치료제 기술

1) 유전자 치료 기술을 이용한 뇌질환 치료제

구분	주요 내용
활용분야	<p>- 뇌질환에 대해 기존 치료제 (화합합성 의약품 등)의 한계를 극복할 수 있는 차세대 유전자 치료제 개발</p>
세부사례	<p>① 퇴행성 또는 난치성 뇌질환(예. 알츠하이머, 헌팅턴, 자폐증)의 진행을 늦추거나 개선할 수 있는 유전자 치료제 기술</p> <p>② 뇌로 유전자 치료제를 효과적으로 전달할 수 있는 기술 (뇌에 직접 주사는 제외)</p> <p>③ 뇌에서 특이적으로 치료유전자를 발현할 수 있는 기술</p>

2) 기존 바이러스 유전자 치료제의 한계를 극복할 수 있는  
차세대 유전자 치료 기술 (AAV 기반 기술은 제외)

구분	주요 내용
활용분야	<p>- 기존 바이러스 유전자 치료제들이 갖고 있는 안전성, 생산성, 효능의 한계를 극복할 수 있는 차세대 치료 기술 (AAV는 제외)</p>
세부사례	<p>① 숙주 세포 염색체에 삽입되지 않으면서 치료유전자를 장기간 발현할 수 있는 기술</p> <p>② 미토콘드리아 질환을 치료할 수 있는 유전자 치료제</p> <p>③ 타겟 장기 특이적으로 치료 효과를 거둘 수 있는 유전자 치료 기술</p>

3) 기존 mRNA 유전자 치료제의 한계를 극복할 수 있는 차세대 유전자 치료 기술 (예방 백신 기술은 제외)

구분	주요 내용
활용분야	- 기존 mRNA 유전자 치료제가 갖고 있는 안정성, 생산성 한계 등을 극복할 수 있는 차세대 기술 (예방 백신은 제외)
세부사례	① 안전성과 전달 효율을 향상시킨 지질나노입자 (Lipid nanoparticle, LNP) 개발 ② mRNA 치료제 생산 효율을 향상시킬 수 있는 기술 [예) 캡핑(Capping) 기술]

## 19. 차세대 배터리

### 1) 전고체전지

구분	주요 내용
활용분야	- 전기차, UAM, Robot, ESS 등 적용 가능
세부사례	<p>① 전고체전지 작동 온도 저감 기술</p> <ul style="list-style-type: none"> <li>- 현존 전고체전지는 통상 60°C 부근의 고온에서 작동되나, 상온 등 상대적 저온에서는 성능 저하 발생</li> <li>- 기존 리튬이온전지의 작동 온도범위까지 확장하여 정상 작동이 가능한 전고체전지용 소재 및 극판 요소기술 개발 필요</li> </ul> <p>② 입자 계면 연구 및 분석</p> <ul style="list-style-type: none"> <li>- 고체 전해질과 전극 활물질間 계면 현상 분석을 통해 전기화학 반응 메커니즘에 대한 이해를 높이고, 계면 저항이 개선된 신규 소재 및 극판 요소기술 개발 필요</li> </ul> <p>③ 전고체전지 저항 저감 공정 기술</p> <ul style="list-style-type: none"> <li>- 극판 구성 성분이 고체로 채워짐에 따른 저항 증가를 극복하기 위한 전고체전지용 신규 공정 기술 확보 필요</li> </ul>

### 2) 나트륨이온전지

구분	주요 내용
활용 분야	- 전기차, UAM, Robot, ESS 등 적용 가능
세부사례	<p>① 고용량/고전압 Na 양극/음극용 소재 기술</p> <ul style="list-style-type: none"> <li>- 풍부한 자원적 이점을 바탕으로 한 나트륨이온전지의 상용화 시도가 최근 증가한 것으로 확인됨</li> <li>- 단, 낮은 에너지밀도 한계 극복을 위한 소재적 혁신은 아직 뚜렷한 개선 움직임이 관찰되지 않고 있어, 고용량, 고전압 달성을 위한 소재 개발 필요</li> </ul>

## 20. 탄소 중립 기술

### 1) 탄소 포집 기술

구분	주요 내용
활용분야	- 탄소 중립 실현을 위한 탄소 포집 기술
세부사례	<p>① 신규 탄소 흡수 / 흡착 소재 설계</p> <ul style="list-style-type: none"> <li>- 탄소 포집을 위한 신규 액체, 고체 흡수(착) 소재 설계</li> <li>- 시뮬레이션 소재 설계-합성-평가 등을 통한 통합 연구</li> <li>→ 탄소 포집 용량이 큰 물질 연구 보다는 저에너지 재생 가능한 소재 설계-합성-평가 연구 필요</li> </ul> <p>② 신규 CO<sub>2</sub> 포집 기술</p> <ul style="list-style-type: none"> <li>- 기존의 PSA, TSA, VSA 등의 흡착 기술을 뛰어넘는 신규 흡착 기술 연구</li> <li>→ ESA(전기스윙흡착)와 같은 신규 개념에 의한 흡착 기술 개발</li> </ul> <p>③ CO<sub>2</sub> 포집을 위한 신규 분리막 소재 개발</p> <ul style="list-style-type: none"> <li>- 고분자 분리막의 단점을 극복하기 위한 유무기 복합막 소재 및 분리막 개발</li> <li>- 고선택도, 고투과도를 갖는 신규 고분자 분리막 개발</li> <li>→ 기존 고분자 분리막의 단점을 극복할 수 있는 신규 고분자 분리막 및 유무기 복합 분리막 개발</li> </ul> <p>④ 포집된 CO<sub>2</sub>의 액화 공정 개발</p> <ul style="list-style-type: none"> <li>- 기체 상태 CO<sub>2</sub> 를 초고순도의 CO<sub>2</sub>로 액화를 위한 공정</li> <li>→ 기존 CO<sub>2</sub> 액화 공정의 단점 극복 저에너지 공정 연구</li> </ul>

## 2) 탄소 전환 기술

구분	주요 내용
활용분야	- 탄소 중립 실현을 위한 탄소 및 온실가스 전환 기술
세부사례	<p>① 저에너지/고효율 CO<sub>2</sub> 전환 기술 개발</p> <ul style="list-style-type: none"> <li>- CO<sub>2</sub> 를 전환하여 연료 또는 고부가치의 물질로 전환하는 저에너지/고효율 CO<sub>2</sub> 전환 기술</li> <li>- 기존 열에너지 이외의 다양한 에너지를 활용하여 에너지 효율을 최대화 시킬 수 있는 CO<sub>2</sub> 전환 기술 (예: 플라즈마, 전기에너지 등 hybrid를 통한 에너지 고효율화)</li> </ul> <p>→ 열역학적 한계를 극복할 수 있는 저에너지/고효율 신규 CO<sub>2</sub> 전환 반응 연구</p> <p>② CO<sub>2</sub> 전환을 위한 저온 촉매 개발</p> <ul style="list-style-type: none"> <li>- CO<sub>2</sub> 전환을 위한 고온 반응의 한계를 극복하기 위한 저온 촉매 개발</li> </ul> <p>→ 저온에서 문제가 되는 carbon coking을 극복하면서 높은 전환 활성 및 내구성을 보유하는 CO<sub>2</sub> 전환을 위한 저온 촉매 연구</p> <p>③ CO<sub>2</sub> 전환을 위한 신규 광전기 복합화 기술</p> <ul style="list-style-type: none"> <li>- 재생 에너지로 생산된 전기 (태양광 발전 등)를 이용한 전기화학적 CO<sub>2</sub> 전환 시스템 기술</li> <li>- 고효율 고선택성 전기화학 촉매 소재/셀 개발</li> </ul> <p>→ CO<sub>2</sub>-to-Alcohol 전환 반응메커니즘 규명 필요 재생 에너지에서 CO<sub>2</sub> 전환 전기화학 반응까지의 총 에너지 전환 효율 계산 필요</p> <p>④ PFCs, HFCs 저감 기술 연구</p> <ul style="list-style-type: none"> <li>- PFCs, HFCs등 온실가스 저감을 위한 신규 저온 촉매 개발</li> </ul>



구분	주요 내용
	<p>및 촉매 내구성 관련 반응 메커니즘 연구</p> <ul style="list-style-type: none"> <li>- 저온에서 운전 가능한 반응 공정 연구</li> <li>→ 고질적인 촉매 내구성 한계 및 쉽게 재생 가능한 신규 촉매 및 반응 공정 연구 필요</li> </ul> <p>⑤ 포집 기술이 필요 없는 CO<sub>2</sub> 직접 전환 기술</p> <ul style="list-style-type: none"> <li>- CO<sub>2</sub> 를 흡수, 흡착 등을 통한 고농축화가 필요 없는 CO<sub>2</sub> 직접 전환 기술</li> <li>- DAC (Direct Air Capture)의 개념을 뛰어 넘는 낮은 농도의 CO<sub>2</sub>를 그대로 활용하여 고부가치의 물질로 전환 하는 기술</li> </ul>

## 21. 모바일 기능성 신소재

구분	주요 내용
활용분야	<ul style="list-style-type: none"> <li>- 다양한 모바일 foam factor 변화에 대응하기 위한 기능성 신소재</li> <li>· 얇고 가벼운 제품을 구현하기 위한 고강성 저비중 금속 소재</li> <li>· 외부충격에도 쉽게 깨지지 않는 고강성 폴리머 소재</li> <li>· Display면을 보호할 수 있는 내충격 코팅 소재</li> </ul>
세부기술	<p>① 고강성 경량 금속 소재</p> <ul style="list-style-type: none"> <li>- 비중이 낮으면서도 높은 강도를 가진 금속 소재 기술               <ul style="list-style-type: none"> <li>· 신규 소재를 활용한 경량 제품 구현</li> </ul> </li> <li>- 성형/가공성, 비자성 , 컬러 구현 기술</li> </ul> <p>② 고강성 폴리머 소재</p> <ul style="list-style-type: none"> <li>- 외부 충격에 강한 Unbreakble 소재 기술               <ul style="list-style-type: none"> <li>· 낙하, 뒤틀림, 찍힘등에 잘 깨지지 않는 Rigid 한 소재</li> <li>· Glass 에 근접한 내 Scratch 성능 확보 기술</li> </ul> </li> <li>- 원하는 디자인을 쉽게 구현할 수 있는 성형 가공 기술</li> </ul> <p>③ 내충격 코팅 소재</p> <ul style="list-style-type: none"> <li>- Flexible Display 면 보호를 위한 코팅 소재 기술               <ul style="list-style-type: none"> <li>· 내충격, 내마모, 투명 성능</li> <li>· 다양한 구동 환경을 견딜 수 있는 유연성 확보</li> </ul> </li> <li>- 박막 코팅막을 고르게 도포할 수 있는 코팅 기술</li> </ul>

## 22. 차세대 가전 혁신 소재

구분	주요 내용
활용분야	- 고효율 에너지 및 고성능 구동 기술
세부기술	<p>① 소재 열전도도 제어 기술</p> <ul style="list-style-type: none"> <li>· 최저 열전도도 제어 기술           <ul style="list-style-type: none"> <li>→ Rigid Urethane Foam 의 최저 열전도도를 위한 친환경 발포 소재(발포 Gas, 핵제, 촉매 등) 및 공정 기술</li> </ul> </li> <li>· 고효율 및 고내구성(고강도) Peltier 열전 소자           <ul style="list-style-type: none"> <li>→ 전기전도도 ↑, 열전도도 ↓ 세계 최고 수준의 냉각용 열전 소자 상용화 기술</li> </ul> </li> </ul> <p>② 고효율 모터용 소재 및 시스템</p> <ul style="list-style-type: none"> <li>· CNT, Graphen 등 저차원 소재 등을 활용한 고성능 자석 대체 소재 및 모터 구동 시스템 설계</li> </ul> <p>③ 모터용 Cu Wire 대체 고전류 용량 소재 및 가공 기술</p> <ul style="list-style-type: none"> <li>· High Current Carrying Capacity를 갖는 Cu Wire 대체 Nano 소재 및 Motor에 적용을 위한 가공 기술</li> <li>· 소재, 가공, electric insulation 피복 및 Welding 기술</li> </ul>